

# **ADIODA-12**

## **LAP**

**EDV-Nr.: A-1034**

8 \* 12-Bit-A/D  
1 \* 12 Bit-D/A  
24 Ein-/Ausgänge  
3 \* 16-Bit-Zähler

## **Copyright<sup>®</sup> 2006 by Messcomp Datentechnik GmbH**

Diese Dokumentation ist urheberrechtlich geschützt. Alle Rechte sind vorbehalten.

Messcomp Datentechnik GmbH behält sich das Recht vor, die in dieser Dokumentation beschriebenen Produkte jederzeit und ohne Vorankündigung zu verändern.

Ohne schriftliche Genehmigung der Firma Messcomp Datentechnik GmbH darf diese Dokumentation in keinerlei Form vervielfältigt werden.

## **Geschützte Warenzeichen**

IBM PC, PC/XT und PC/AT sind geschützte Warenzeichen von International Business Machines (IBM).

BASIC ist ein geschütztes Warenzeichen von Dartmouth College. Turbo Pascal, Turbo C sind geschützte Warenzeichen von Borland. Quickbasic ist ein eingetragenes Warenzeichen von Microsoft. Powerbasic ist ein eingetragenes Warenzeichen von Robert S. Zale.

**wasco**<sup>®</sup> ist ein eingetragenes Warenzeichen.

## **Haftungsbeschränkung**

Die Firma Messcomp Datentechnik GmbH haftet für keinerlei, durch den Gebrauch der Interfacekarte ADIODA-12<sub>LAP</sub> und dieser Dokumentation, direkt oder indirekt entstandenen Schäden.

# Inhaltsverzeichnis

- 1. Produktbeschreibung**
- 2. Installation der ADIODA-12<sub>LAP</sub>**
- 3. Systemkomponenten**
  - 3.1 Blockschaltbild
  - 3.2 Adresseinstellung und Zugriff auf Systemkomponenten
- 4. Anschlussstecker**
  - 4.1 Lage der Anschlussstecker
  - 4.2 Steckerbelegung von P1
  - 4.3 Steckerbelegung von P2
  - 4.4 Steckerbelegung von P2 auf D-Sub37
- 5. Jumperblöcke**
  - 5.1 Lage der Jumperblöcke auf der Platine
  - 5.2 Signalbelegung JP1
  - 5.3 Signalbelegung JP2
  - 5.4 Signalbelegung JP3
  - 5.5 Signalbelegung JP4
  - 5.6 Signalbelegung JP5
  - 5.7 Signalbelegung JP6
  - 5.8 Signalbelegung JP7
- 6. A/D-Eingänge 12 Bit**
  - 6.1 A/D Eingangsspannungsbereiche
  - 6.2 A/D Kontrollregister
  - 6.3 Multiplexer-Kanalauswahl
  - 6.4 PGA-Verstärkungswahl
  - 6.5 A/D Betriebsarten
  - 6.6 A/D Betriebsart / Modusbyte
  - 6.7 Abgleich - A/D Wandler und PGA

## **7. D/A-Ausgang 12 Bit**

- 7.1 Auswahl der Hauptreferenzspannung
- 7.2 Abgleich des D/A-Kanals
- 7.3 Programmierung der D/A-Kanäle

## **8. TTL - Ein-/Ausgabe (8255)**

## **9. Timer/Zähler (8254)**

## **10. Waitstategenerator**

## **11. Programmierung**

- 11.1 Hinweise zur Programmierung der ADIODA-12<sub>LAP</sub>
- 11.2 Zuordnung der Portadressen

## **12. Zubehör**

- 12.1 Passendes **wasco**<sup>®</sup>-Zubehör
- 12.2 Anschlusstechnik (Anwendungsbeispiel)
- 12.3 Einzelkomponenten zur Eigenkonfektionierung

## **13. Fehlersuche**

## **14. Technische Daten**

## **15. Produkthaftungsgesetz**

## **16. EG-Konformitätserklärung**

### **Anhang**

- Programmierbarer Timer-Baustein 8254
- Programmierbarer I/O-Baustein 8255

## 1. Produktbeschreibung

Die ADIODA-12<sub>LAP</sub> verfügt über acht gemultiplexte, massebezogene 12 Bit A/D-Eingangskanäle mit programmierbarem Verstärker und einer maximalen Summenabtastrate von 25 kS/s. Der Eingangsspannungsbereich (unipolar: 0..10 V, bipolar: +/-5 V, +/-10 V) wird mittels Jumper festgelegt. Der analoge Ausgangskanal wird durch einen multiplizierenden 12 Bit Digital/Analogwandler erreicht und ist ebenfalls mittels Jumper auf unipolare oder bipolare Betriebsart einstellbar. Interruptauslösungen sind durch den Timer oder durch das STS-Signal des A/D-Wandlers möglich. Außerdem verfügt diese Interfacekarte über einen programmierbaren digitalen Ein/Ausgabe-Baustein, einen Timer, einen Quarzoszillator und einen DC/DC-Wandler. Die A/D-Eingänge und der D/A-Ausgang sind der 37poligen D-Sub-Buchse am Slotblech der Platine, die TTL-Ein/Ausgänge und Timersignale einem 40poligen Pfostenstecker auf der Platine zugeführt. Die Signalverlegung auf eine 37polige D-Sub-Buchse mit Slotblech ist über ein optionales Steckerverlegungs-Set möglich. Die Steckerbelegungen aller Anschlussstecker der ADIODA-12<sub>LAP</sub> sind identisch zu der PCI-Bus-Karte ADIODA-PCI12<sub>LAP</sub>.

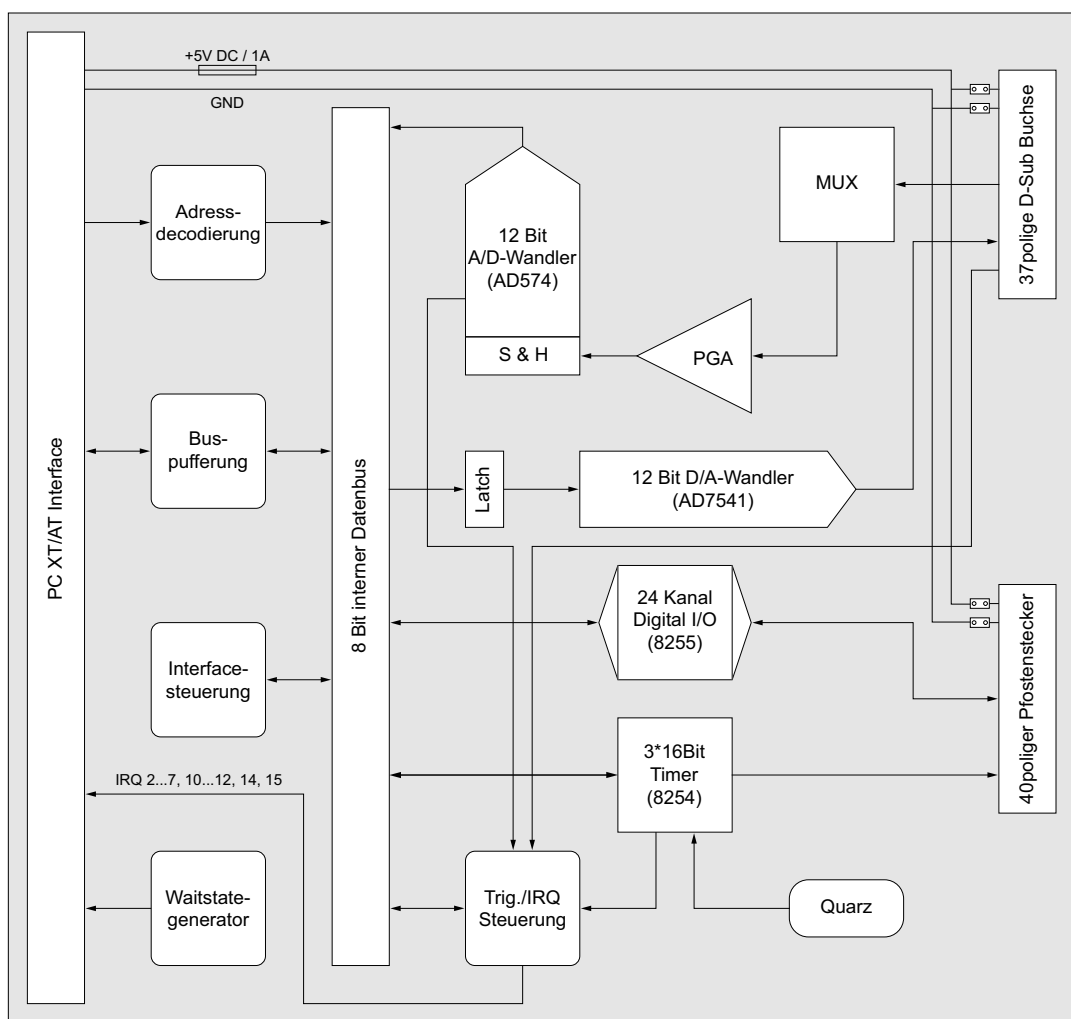
## **2. Installation der ADIODA-12<sub>LAP</sub>**

Achten Sie vor dem Einbau der ADIODA-12 darauf, dass der Rechner vom Netz getrennt oder zumindest ausgeschaltet ist. Denn beim Einbau der Interface-Karte in den laufenden Rechner besteht die Gefahr, dass neben der ADIODA-12 auch andere Karten des PCs oder Rechners zerstört werden.

Wählen Sie in Ihrem Rechner einen freien ISA-Steckplatz, in den Sie dann die Karte einsetzen. Verschrauben Sie das Slotblech der Platine mit dem Rechnergehäuse, damit sich die Karte nicht während des Betriebs unter Einwirkung des Anschlusskabels aus dem Steckplatz lösen kann.

### 3. Systemkomponenten

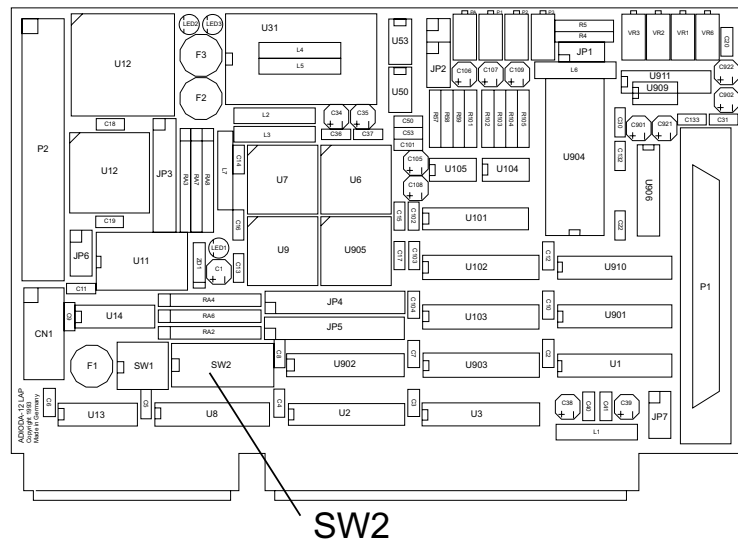
#### 3.1 Blockschaltbild



### 3.2 Adresseinstellung und Zugriff auf Systemkomponenten

Der Zugriff auf die Hardware-Komponenten der ADIODA-12 erfolgt durch das Lesen von bzw. Schreiben in Portadressen.

Die Port-Adress-Bereiche, unter denen die I/O Bausteine angesprochen werden können, sind durch Dip-Schalter auf der Platine einstellbar:



Die Interfacekarte ADIODA-12 decodiert die Adressleitungen A4 bis A11. Für die Basis-Portadressen sind die Adressleitungen A4 bis A9 relevant, da in den PC's nicht der volle Adressbereich ausdecodiert wird. Die Dip-Schalter der Adressleitungen A10 und A11 müssen somit bei Dipschalterblock SW2 immer ON sein.

Achten Sie bei der Einstellung der Portadresse darauf, dass der ausgewählte Adressbereich von keiner anderen Peripheriekarte oder vom Computer selbst benutzt wird. Die Interfacekarte ist standardmäßig auf die Adresse 220h eingestellt. Falls diese Adresse im Computer bereits belegt ist und Sie diese ändern müssen, ist darauf zu achten, dass in den mitgelieferten Beispielprogrammen die Port-Adressen ebenfalls geändert werden.

Entnehmen Sie die wichtigsten Einstellungen der Portadressen nachfolgender Tabelle.



### Einstellung der Portadressen:

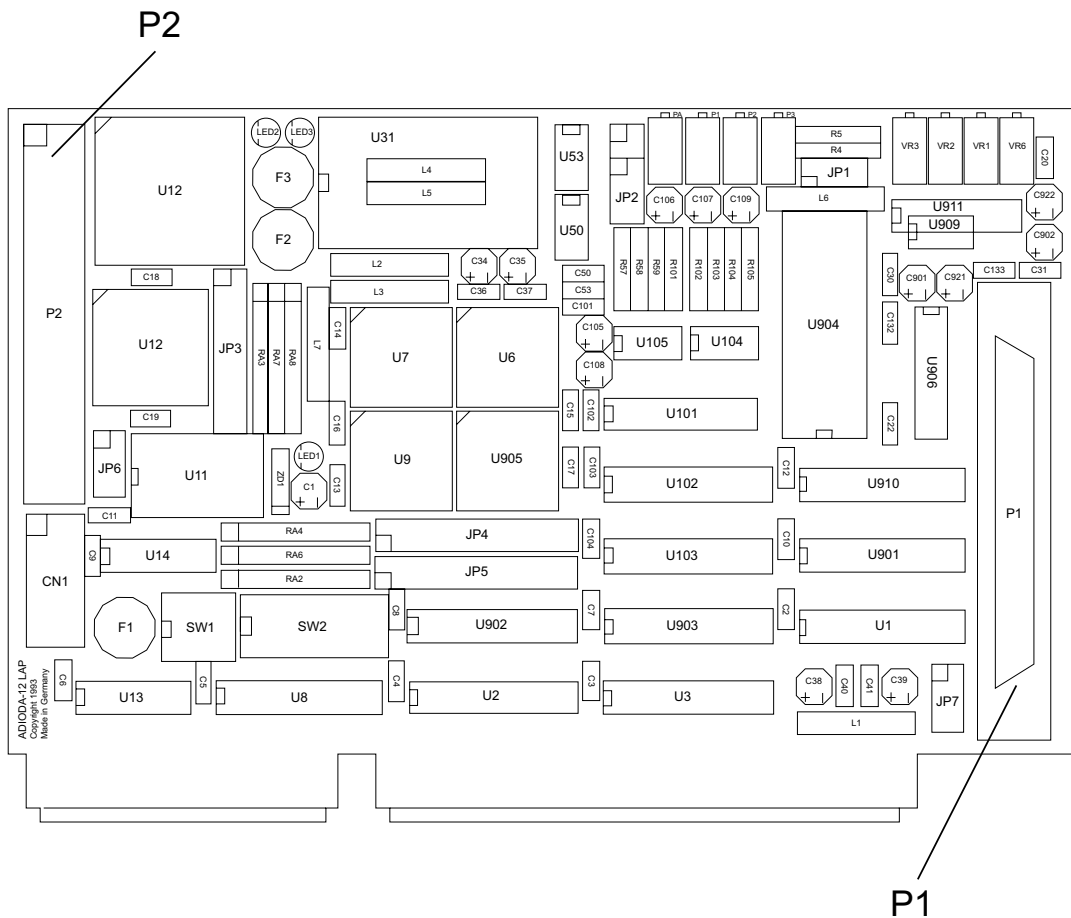
Schalter SW2 Basisadresse	1 A4	2 A5	3 A6	4 A7	5 A8	6 A9	7 A10	8 A11
200h	ON	ON	ON	ON	ON	OFF	ON	ON
210h	OFF	ON	ON	ON	ON	OFF	ON	ON
220h	ON	OFF	ON	ON	ON	OFF	ON	ON
230h	OFF	OFF	ON	ON	ON	OFF	ON	ON
240h	ON	ON	OFF	ON	ON	OFF	ON	ON
250h	OFF	ON	OFF	ON	ON	OFF	ON	ON
260h	ON	OFF	OFF	ON	ON	OFF	ON	ON
270h	OFF	OFF	OFF	ON	ON	OFF	ON	ON
280h	ON	ON	ON	OFF	ON	OFF	ON	ON
290h	OFF	ON	ON	OFF	ON	OFF	ON	ON
2A0h	ON	OFF	ON	OFF	ON	OFF	ON	ON
2B0h	OFF	OFF	ON	OFF	ON	OFF	ON	ON
2C0h	ON	ON	OFF	OFF	ON	OFF	ON	ON
2D0h	OFF	ON	OFF	OFF	ON	OFF	ON	ON
2E0h	ON	OFF	OFF	OFF	ON	OFF	ON	ON
2F0h	OFF	OFF	OFF	OFF	ON	OFF	ON	ON
300h	ON	ON	ON	ON	OFF	OFF	ON	ON

## Die Belegung der Portadressen im PC:

Portadresse	Funktion
000h .. 00Fh	DMA-Controller
020h .. 021h	Interrupt-Controller
040h .. 043h	Zeitgeber (8253)
060h .. 063h	Systemregister (8255)
080h .. 083h	DMA-Seitenregister
0AXh	NMI-Interrupt-Register
0CXh	Reserviert
0EXh	Reserviert
100h .. 1FFh	nicht verwendet
200h .. 20Fh	Game-Port
210h .. 217h	Erweiterungseinheit
220h .. 24Fh	Reserviert
278h .. 27Fh	2. paralleler Drucker
2F8h .. 2FFh	2. serielle Schnittstelle
300h .. 31Fh	Prototypenkarte
320h .. 32Fh	Harddisk-Controller
378h .. 37Fh	paralleler Drucker
380h .. 38Fh	SDLC-Schnittstelle
3A0h .. 3AFh	Reserviert
3B0h .. 3BFh	Monochromadapter
3C0h .. 3CFh	Reserviert
3D0h .. 3DFh	Farbgrafikkarte
3E0h .. 3E7h	Reserviert
3F0h .. 3F7h	Floppy-Controller
3F8h .. 3FFh	serielle Schnittstelle

## 4. Anschlussstecker

### 4.1 Lage der Anschlussstecker



## 4.2 Steckerbelegung von P1

Die D-Sub-Buchse P1 ist am Slotblech der Platine montiert. Ihr sind die acht analogen Eingänge, der Anschluss für das evtl. externe Trigger- und Interruptsignal, sowie der analoge Ausgang zugeführt. Außerdem können dieser Buchse Versorgungsspannung (Vcc +5V) und die Masse (GND) des Rechners durch Setzen von Jumperbrücken am Jumperblock JP7 zugeführt werden (siehe Kapitel Jumperblöcke).

AD_IN_01	1	AGND
AD_IN_02	2	AGND
AD_IN_03	3	AGND
AD_IN_04	4	AGND
AD_IN_05	5	AGND
AD_IN_06	6	AGND
AD_IN_07	7	AGND
AD_IN_08	8	AGND
DA_OUT_01	9	AGND
NC	10	AGND
NC	11	AGND
NC	12	AGND
NC	13	AGND
NC	14	AGND
NC	15	AGND
NC	16	AGND
TRIG/INT_EXT	17	GND
Vcc	18	GND
Vcc	19	GND

### Vcc:

Interne Versorgungsspannung (+ 5V) des Rechners. Hier niemals eine externe Spannung anlegen.

### GND:

Masse des Rechners

### NC:

Pin nicht belegt

### 4.3 Steckerbelegung von P2

Am Pfostenstecker P2 liegen die 24 digitalen Ein-/Ausgänge des PIO-Bausteins und die Signale des Timers an. Außerdem sind diesem Anschlussstecker durch Setzen von Jumperbrücken am Jumperblock JP6, die interne Versorgungsspannung (Vcc +5V) und die Masse des Rechners zuzuführen (siehe Kapitel Jumperblöcke).

PA0	1	○	○	2	PA1
PA2	3	○	○	4	PA3
PA4	5	○	○	6	PA5
PA6	7	○	○	8	PA7
PB0	9	○	○	10	PB1
PB2	11	○	○	12	PB3
PB4	13	○	○	14	PB5
PB6	15	○	○	16	PB7
PC0	17	○	○	18	PC1
PC2	19	○	○	20	PC3
PC4	21	○	○	22	PC5
PC6	23	○	○	24	PC7
CLK0	25	○	○	26	G0
OUT0	27	○	○	28	CLK1
G1	29	○	○	30	OUT1
CLK2	31	○	○	32	G2
OUT2	33	○	○	34	GND
Vcc	35	○	○	36	GND
Vcc	37	○	○	38	NC
NC	39	○	○	40	NC

**Vcc:**

Interne Versorgungsspannung (+ 5V) des Rechners. Hier niemals eine externe Spannung anlegen.

**GND:**

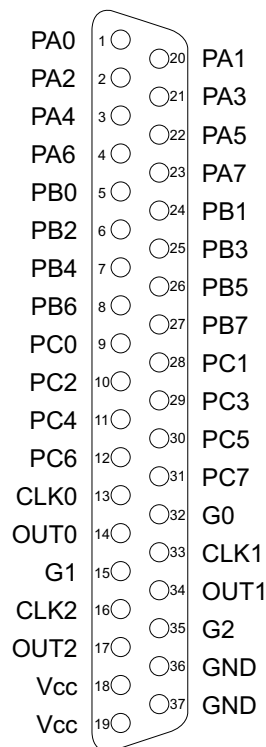
Masse des Rechners

**NC:**

Pin nicht belegt

#### 4.4 Steckerbelegung von P2 auf D-Sub37

Es besteht die Möglichkeit, die Anschlüsse des Pfostensteckers P2 mittels Flachbandleitung auf ein Slotblech mit 37poliger D-Sub-Buchse (Stecker-Verlegungsset DB37F23) zu verlegen. Der Pfostenstecker P2 der ADIODA-12<sub>LAP</sub> ist kompatibel zu P5 der WITIO-48<sub>STANDARD</sub>, WITIO-48<sub>EXTENDED</sub>, WITIO-240<sub>STANDARD</sub> und WITIO-240<sub>EXTENDED</sub>, zu P2 der RELAIS-16<sub>EXTENDED</sub>, zu P3 der RELAIS-32<sub>EXTENDED</sub>, OPTOOUT-32<sub>EXTENDED</sub>, OPTOIO-16<sub>EXTENDED</sub>, OPTORE-16<sub>EXTENDED</sub> und IODA-12<sub>EXTENDED</sub>, sowie zu P4 der ADIODA-12<sub>STANDARD</sub> und ADIODA-12<sub>EXTENDED</sub>.



**Vcc:**

Interne Versorgungsspannung (+ 5V) des Rechners. Hier niemals eine externe Spannung anlegen.

**GND:**

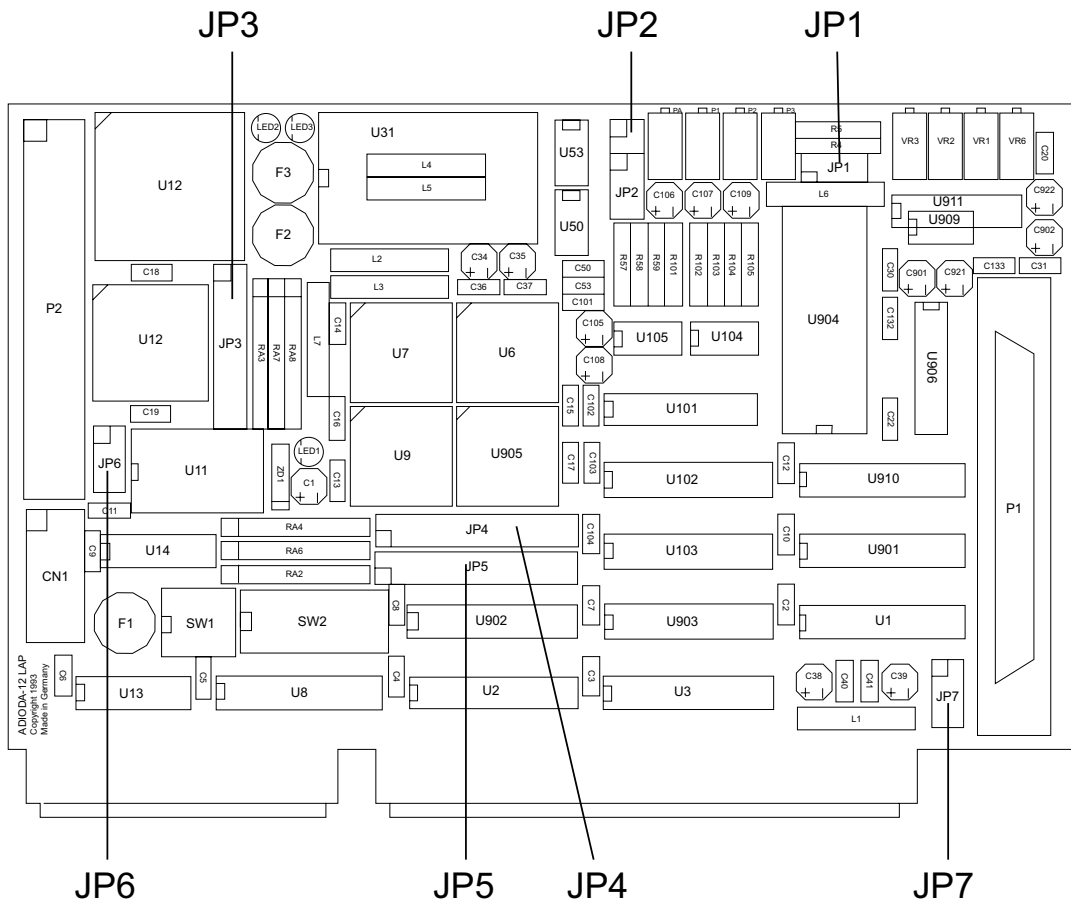
Masse des Rechners

**NC:**

Pin nicht belegt

## 5. Jumperblöcke

### 5.1 Lage der Jumperblöcke auf der Platine



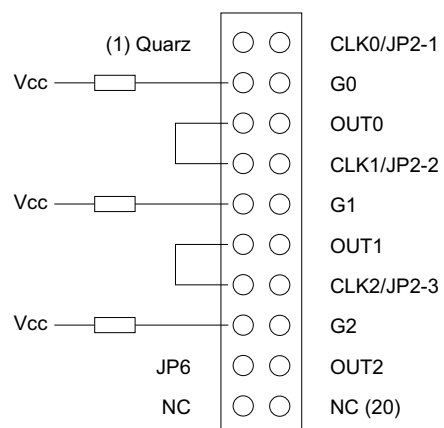
## 5.2 Signalbelegung von JP1

Siehe Kapitel 6.1 A/D Eingangsspannungsbereiche

## 5.3 Signalbelegung von JP2

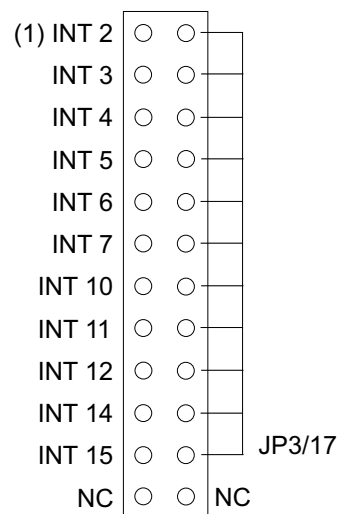
1	○	○	2	bipolar
3	○	○	4	unipolar
5	○	○	6	2,5 V
7	○	○	8	5 V
9	○	○	10	7,5 V
11	○	○	12	10 V

## 5.4 Signalbelegung von JP3

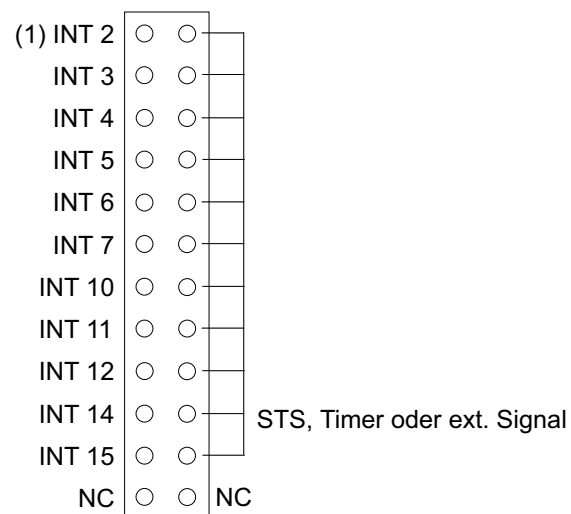




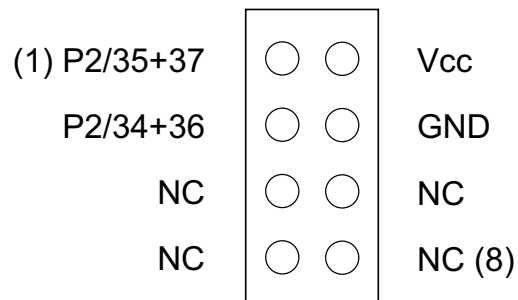
## 5.5 Signalbelegung von JP4



## 5.6 Signalbelegung von JP5

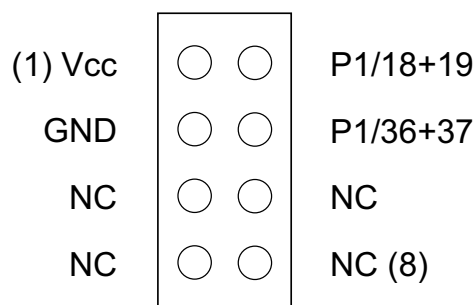


### 5.7 Signalbelegung von JP6



Nach Setzen einer Jumperbrücke an Pin 1-2 und 3-4 darf niemals eine externe Spannung an P2 Pin 35-37 (Vcc) und 34+36 angelegt werden!

### 5.8 Signalbelegung von JP7



Nach Setzen von Jumperbrücken an Pin 1-2 und Pin 3-4 darf niemals eine externe Spannung an P1 Pin 18+19, sowie 36+37 angelegt werden!

## 6. A/D-Eingänge 12 Bit

Die ADIODA-12<sub>LAP</sub> verfügt über acht gemultiplexte massebezogene 12-Bit-A/D-Eingangskanäle mit programmierbarem Verstärker.

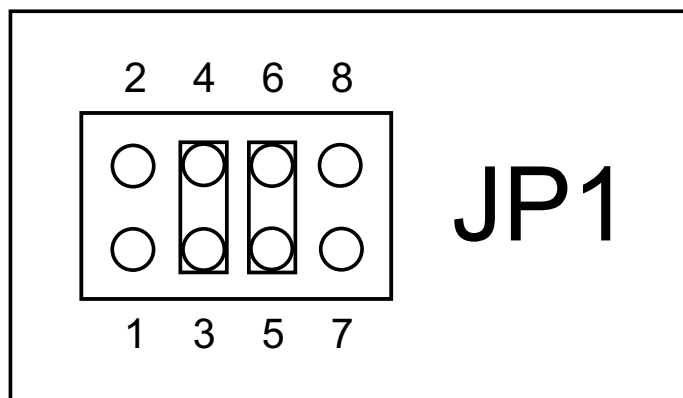
Der A/D-Eingangsbereich (0..10V +/-5V, +/-10V), sowie gegebenenfalls die IRQ-Leitung bei Interrupt-Anwendungen werden mittels Jumperstellung festgelegt. Die weiteren Einstellungen (Multiplexer-Kanalauswahl, PGA-Verstärkungswahl und A/D-Betriebsart-Selektion) erfolgen rein softwaremäßig.

Die A/D-Wandlungen können entweder durch Softwaretriggerung, zeitlich definiert über den Timerbaustein, oder durch ein externes Signal ausgelöst werden. Die maximale Summenabtastrate beträgt 25 kHz.

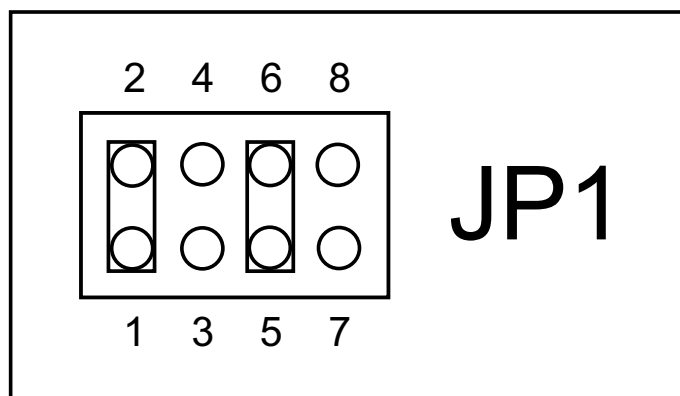
## 6.1 A/D Eingangsspannungsbereiche

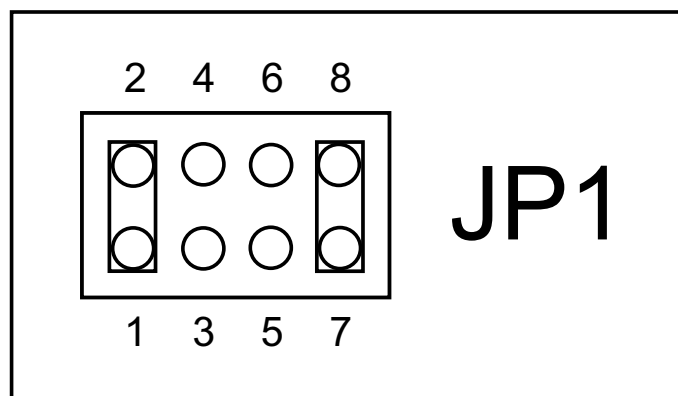
Die Festlegung des A/D-Eingangsspannungsbereiches erfolgt über die Stellung von Jumperblock JP1. Für die möglichen Eingangsspannungsbereiche ergeben sich folgende Jumperstellungen:

**unipolare Betriebsart 0..10V:**



**bipolare Betriebsart +/-5V:**



**bipolare Betriebsart +/-10V:****Wichtiger Hinweis:**

Eingangsspannungen außerhalb des eingestellten Eingangsspannungsbereiches sowie Jumperstellungen, die von den oben genannten abweichen, sind, um Beschädigungen an der ADIODA-12 auszuschließen, unbedingt zu vermeiden!

## 6.2 A/D Kontrollregister

Die ADIODA-12<sub>LAP</sub> benützt die Portadressen BASIS-ADRESSE + 00h bis einschließlich BASIS-ADRESSE +03h, sowie die Adresse BASIS-ADRESSE +0Eh zur Kontrolle des A/D-Wandlers, der Multiplexerbausteine, des programmierbaren Verstärkers sowie des Interrupt-Flipflops. Je nachdem, ob in die jeweilige Portadresse geschrieben oder der Registerinhalt gelesen wird, ergibt sich folgende Bedeutung der Kontrollregister:

Basisadresse+	Register	Schreiben	Lesen
00H	A/D-Kontrollregister 1	8-Bit-A/D-Start	8-Bit-MSB
01H	A/D-Kontrollregister 2	12-Bit-A/D-Start	4-Bit-LSB
02H	A/D-Kontrollregister 3	MUX-Kontrollbyte	Statusbyte
03H	A/D-Kontrollregister 4	PGA-Kontrollbyte	Int.FF Reset
0EH	A/D-Kontrollregister 5	A/D-Modusbyte	

Das Schreiben eines beliebigen Bytes in die Portadresse BASIS-ADRESSE +01h (bzw. BASIS-ADRESSE +00h) löst eine 12-Bit-A/D-Wandlung (bzw. 8-Bit-A/D-Wandlung) aus. In diesen Fällen spricht man von softwaremäßiger Wandlungsauslösung oder Softwaretriggerung. Durch das Lesen eines Bytes von diesen Portadressen erhält man die höchstwertigsten acht Bit bzw. die niederwertigsten vier Bit (mit nachfolgenden Nullen/nur bei 12-Bit-Wandlung) des Wandlungsergebnisses. Voraussetzung hierfür ist natürlich, dass im Moment des Lesebefehls gültige Daten vom A/D-Wandler bereitgestellt sind.

Das Anliegen gültiger A/D-Daten kann man durch Lesen des "Status"-Bytes von der Portadresse BASIS-ADRESSE +02h feststellen.

Das Schreiben eines Bytes in eine der Portadressen BASIS-ADRESSE +02h, BASIS-ADRESSE +03h und BASIS-ADRESSE +0Eh bestimmt die Funktion des Multiplexers, des programmierbaren Verstärkers bzw. des A/D-Wandlers selbst.

**Nach dem Booten des Rechners befindet sich die ADIODA-12 in folgendem Grundzustand:**

A/D-Modus:	Softwaretriggerung
Multiplexer:	Kanal 1 selektiert
PGA:	Verstärkung = 1
Interrupt-Flipflop:	zurückgesetzt

### 6.3 Multiplexer-Kanalauswahl

Die Auswahl eines der acht A/D-Eingangskanäle erfolgt durch Schreiben eines "Multiplexer-Kontrollbytes" in die Portadresse BASIS-ADRESSE +02h.

Das Multiplexer-Kontrollbyte hat folgendes Format:

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	K4	K3	K2	K1	K0

X	X	X	K4	K3	K2	K1	K0	Kanal-Nr.
beliebig	0	0	0	0	0	0	0	1
	0	0	0	0	0	0	1	2
	0	0	0	0	0	1	0	3
	0	0	0	0	1	1	1	4
	0	0	1	0	0	0	0	5
	0	0	1	0	1	0	1	6
	0	0	1	1	1	0	0	7
	0	0	1	1	1	1	1	8

#### K-Byte = Kanal-Nummer - 1

Beispiel:

Auswahl von Kanal 7 --> K-Byte = 6 (dezimal) = 06 (hex)

port [BASIS-ADRESSE +\$2]:= \$06;

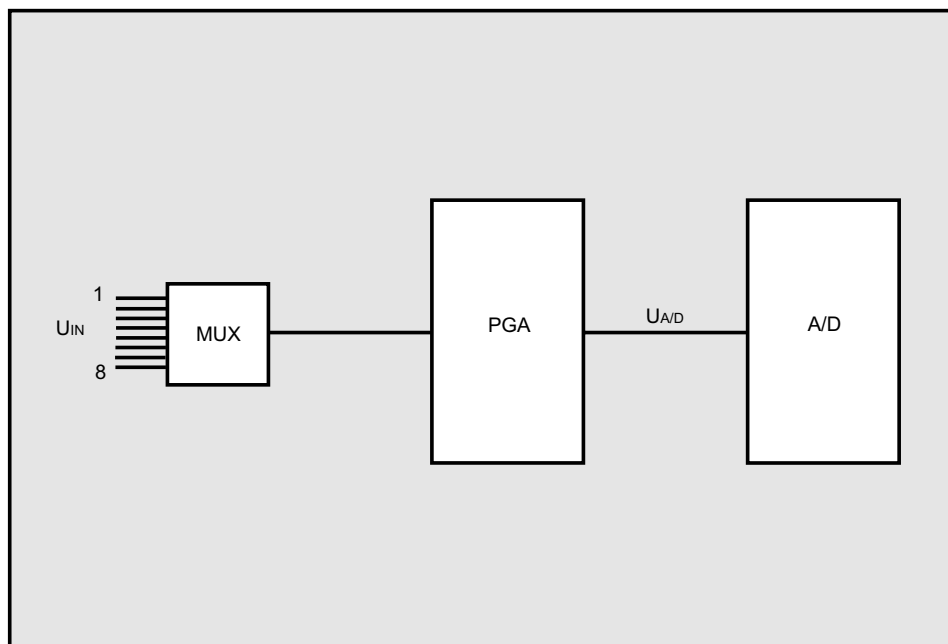
outportb [BASIS-ADRESSE +\x02, '\x06'];

OUT-BASIS-ADRESSE + &H02, &H06



## 6.4 PGA-Verstärkungswahl

Mit dem PGA-Kontrollbyte (Portadresse des PGA-Kontrollregisters = BASIS-ADRESSE +03h) wird der Verstärkungsfaktor des programmierbaren Verstärkers (PGA) selektiert. Der PGA der ADIODA-12 ist wie folgt mit den Eingangskanälen sowie dem A/D-Wandler verbunden:



Die Eingangsspannung  $U_{A/D}$  am Wandler ergibt sich wie folgt aus dem analogen Eingangssignal an einem der Kanäle 1..8 (selektiert mit dem Multiplexer-Kontrollbyte) und dem eingestellten Verstärkungsfaktor  $v_{PGA}$ :

$$U_{A/D} = U_{IN} * v_{PGA} \quad (v_{PGA} = 1,2,4,8,16)$$

**Hinweis:**

Es ist unbedingt sicherzustellen, dass die Eingangsspannung  $U_{A/D}$  im erlaubten Eingangsbereich (abhängig von der Jumperstellung JP1) liegt. Hierauf ist insbesondere bei Verwendung von unterschiedlichen Verstärkungsfaktoren für verschiedene Eingangskanäle zu achten!

Das PGA-Kontrollbyte hat folgendes Format:

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	P2	P1	P0

X	X	X	X	X	P2	P1	P0	Verstärkungsfaktor
beliebig					0	0	0	1
					0	0	1	2
					0	1	0	4
					0	1	1	8
					1	X	X	16

Beispiel:

```
Verstärkungsfaktor = 4
port [BASIS-ADRESSE +$3]: = $02;
outportb (BASIS-ADRESSE +\x03, '\x02');
OUT-BASIS-ADRESSE +&H03, &H02
```

## 6.5 A/D Betriebsarten

Der A/D-Block der ADIODA-12 kann hinsichtlich A/D-Auflösung, Triggerung (=A/D-Wandlungsauslösung) und Interrupthandling in den folgenden verschiedenen Betriebsarten eingesetzt werden:

### A - A/D-Auflösung

1. 12-Bit-Auflösung
2. 8-Bit-Auflösung

### B - Triggerung (Wandlungsauslösung)

1. Softwaretriggerung
2. Hardwaretriggerung durch externes Signal
3. Hardwaretriggerung durch Timer-Signal OUT2

### C - Interrupthandling

1. keine Interruptauslösungen
2. Timer-Interrupt
3. Interrupt bei Wandlungsende (durch das Statussignal des A/D-Wandlers)
4. Interrupt durch externes Signal

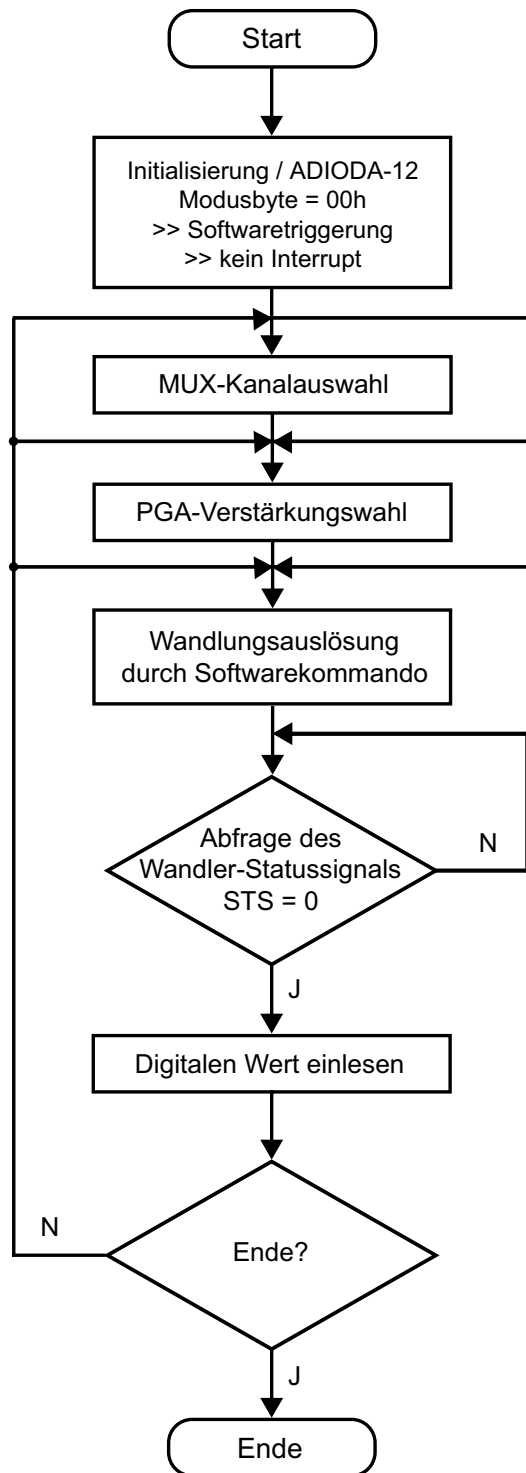
Die Einstellung der Betriebsart erfolgt durch Schreiben eines Steuerbytes in die Portadresse BASIS-ADRESSE +0Eh des Modusregisters der ADIODA-12. Das Format des Modusbytes ist im folgenden Kapitel beschrieben.

Grundsätzlich ist es möglich, die ADIODA-12 je nach Aufgabenstellung in einer beliebigen Kombination aus den Einstellvarianten A/1..2, B/1..2 und C/1..4 zu betreiben. Im folgenden werden die gebräuchlichsten Betriebsarten erläutert. Ausführliche Programmbeispiele finden Sie hierzu in der mitgelieferten Software.

#### 6.5.1 12-Bit/8-Bit-Wandlung (Softwaretriggerung/STS-Polling)

Die softwaremäßige Wandlungsauslösung mit Abfrage des Statussignales des A/D-Wandlers ist die einfachste Möglichkeit, A/D-Wandlungen mit der ADIODA-12 auszuführen. Nach der A/D-Initialisierung, der Kanalauswahl und der Auswahl des Verstärkungsfaktors erfolgt durch das Schreiben eines beliebigen Bytes in die Portadresse BASIS-ADRESSE +01h (bzw. BASIS-ADRESSE +00h bei 8-Bit-Auflösung) der Start der 12-Bit-A/D-Wandlung.

Um sicherzustellen, dass der digitale Wert vom Wandlerausgang erst beim Anliegen gültiger Daten gelesen wird, muss das Statussignal des Wandlers, das während der Wandlung logisch "1" ist, abgefragt werden. Durch das Lesen von jeweils einem Byte von den Portadressen BASIS-ADRESSE +00h bzw. BASIS-ADRESSE +01h, erhält man die höchstwertigsten 8 Bit bzw. die niederwertigsten 4 Bit des Wandlungsergebnisses.



### 6.5.2 12-Bit-Wandlung (Timer-Auslösung / STS-Polling)

Mit Hilfe des 8254-Timerbausteins der ADIODA-12 können auf einfache Weise zeitlich definierte "Abtastungen" des analogen Eingangssignales durchgeführt werden. Hierzu müssen die Jumper JP3/1-2..17-18 gesetzt sein. Die drei Zähler sind dann in Reihe geschaltet und erzeugen nach ihrer Initialisierung aus dem Oszillatorsignal das Triggersignal (=Time-  
ausgangssignal OUT2) für den A/D-Wandler. Dieses Timersignal ist (bis zur Uminitialisierung des Timers) vom Programmablauf vollkommen unabhängig und deshalb zeitlich genau definiert.

Als Triggersignal für den A/D-Wandler ist ein negativer Impuls mit folgenden Voraussetzungen notwendig:

1. Die A/D-Wandlung wird bei der negativen Flanke des Triggersignales gestartet. OUT2 muss deshalb vor der Initialisierung des A/D-Wandlers auf "HIGH" liegen.
2. Die Zeitdauer des negativen Impulses darf nicht länger als die Wandlungszeit des jeweils verwendeten A/D-Wandlers sein. Empfehlenswert ist deshalb eine Impulsdauer von 5  $\mu$ s.

Bis auf die A/D-Initialisierung und die Auslösung der Wandlungen durch den Timer ist diese Betriebsart vom Ablauf her mit der in Kapitel 6.5.1 geschilderten Betriebsweise identisch. Nach der A/D-Initialisierung, Auswahl des Verstärkungsfaktors und des Kanals, erfolgt die Initialisierung des Timers und hierdurch der Start der A/D-Wandlungen.

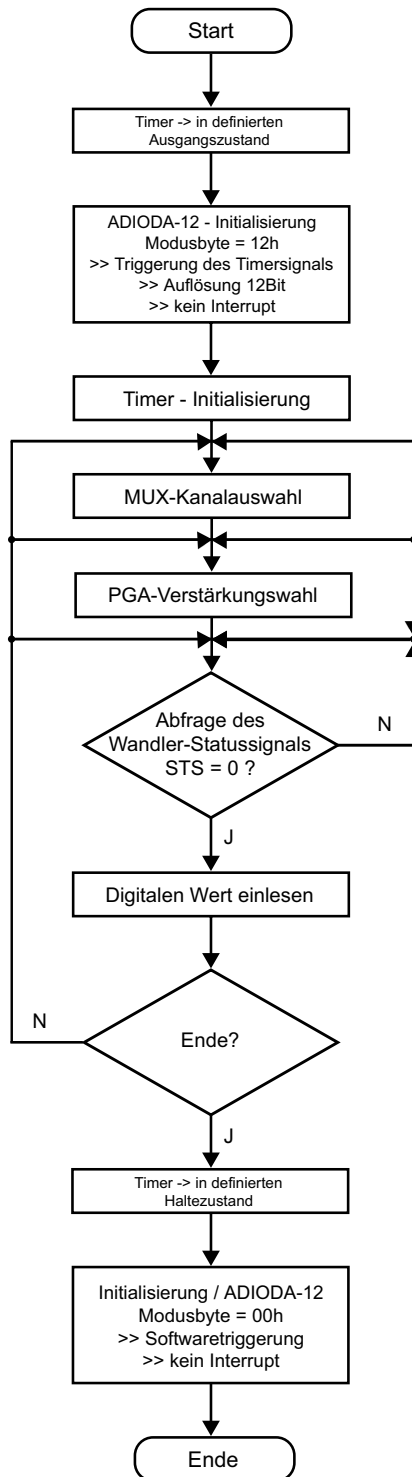
Um sicherzustellen, dass der digitale Wert vom Wandlerausgang erst beim Anliegen gültiger Daten gelesen wird, muss das Statussignal des Wandlers, das während der Wandlung logisch "1" ist, abgefragt werden.

Durch das Lesen von jeweils einem Byte von den Portadressen BASIS-ADRESSE +00h bzw. BASIS-ADRESSE +01h, erhält man die höchstwertigsten 8 Bit, bzw. die niederwertigsten 4 Bit des Wandlungsergebnisses.

Bei Verwendung dieser Betriebsart muss zur Erzielung korrekter Messergebnisse folgendes berücksichtigt werden:

Abhängig von der Frequenz des Triggersignales (=Abtastrate) steht nur ein bestimmter Zeitraum  $\Delta T_{\text{dat}}$  zwischen dem Ende der letzten Wandlung und dem Start der nächsten Wandlung für das Lesen des digitalen Wandlungswertes zur Verfügung.

Deshalb dürfen in dieser Zeit keine Programmunterbrechungen auftreten, die länger als die Zeit  $\Delta T_{\text{nop}} = \Delta T_{\text{dat}} - \Delta T_{\text{transfer}}$  ist.  $\Delta T_{\text{transfer}}$  ist die vom Rechner, der Programmiersprache und vom Programmieralgorithmus abhängige Zeit für das Abspeichern des digitalen Messwertes.



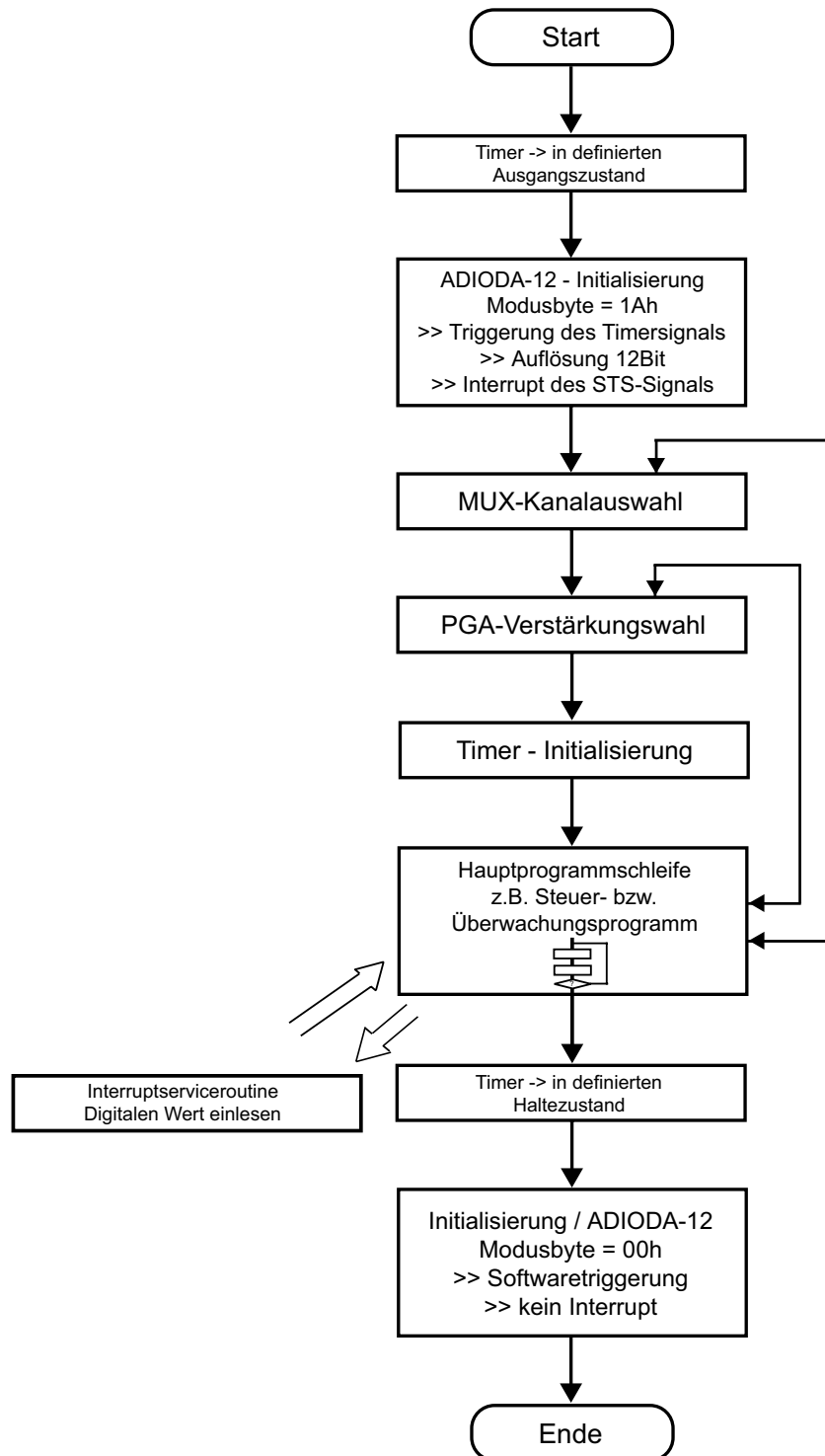


### 6.5.3 12-Bit-Wandlung (Timer-Auslösung / STS-Interrupt)

Die in Kapitel 6.5.2 geschilderte Betriebsart hat (insbesondere bei sehr niedrigen Abtastraten) den Nachteil, dass das ablaufende Programm nach dem Start der Wandlung ständig mit der Abfrage des Statussignales des A/D-Wandlers "beschäftigt" ist und keinerlei andere Aufgaben übernehmen kann.

Sollen vom Hauptprogramm neben der Ermittlung von Analogwerten beispielsweise zusätzliche Steuer- oder Überwachungsaufgaben (z.B. mit Hilfe des 8255-I/O-Bausteins) übernommen werden, so ist die Betriebsart Timer / STS-Interrupt vorteilhaft.

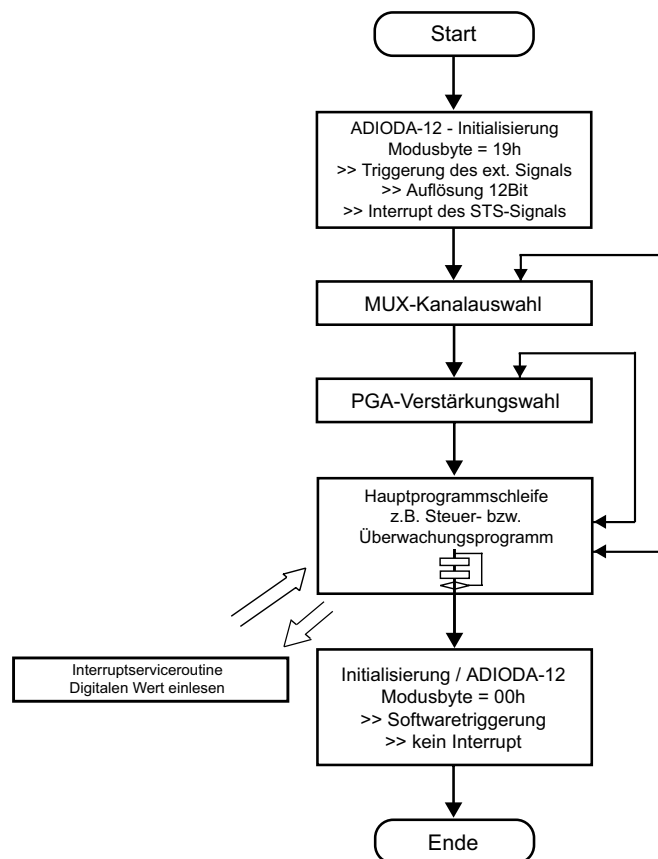
Das Statussignal des A/D-Wandlers löst hierbei beim Ende der Wandlung automatisch einen Hardware-Interrupt über die mit dem Jumperblock JP5 ausgewählte IRQ-Leitung aus. Das Einlesen der digitalen Wandlungswerte erfolgt dann innerhalb einer Interrupt-Service-Routine. Die Wandlungsauslösungen erfolgen, wie bereits in Kapitel 6.5.2 geschildert, unabhängig vom Programmablauf durch das Timer-Ausgangssignal.



### 6.5.4 12-Bit-Wandlung (Auslösung durch externes Signal / STS-Interrupt)

Diese Betriebsart eignet sich für Anwendungen, in denen die A/D-Wandlungen durch ein externes Signal gesteuert werden sollen. Zur Wandlungsauslösung ist eine positive Flanke des Triggersignales (an Pin17 von P1) notwendig.

Das Statussignal des A/D-Wandlers löst bei Wandlungsende automatisch einen Hardware-Interrupt über die mit dem Jumperblock JP5 ausgewählte IRQ-Leitung aus. Das Einlesen der digitalen Wandlungswerte kann dann innerhalb einer Interrupt-Service-Routine erfolgen.



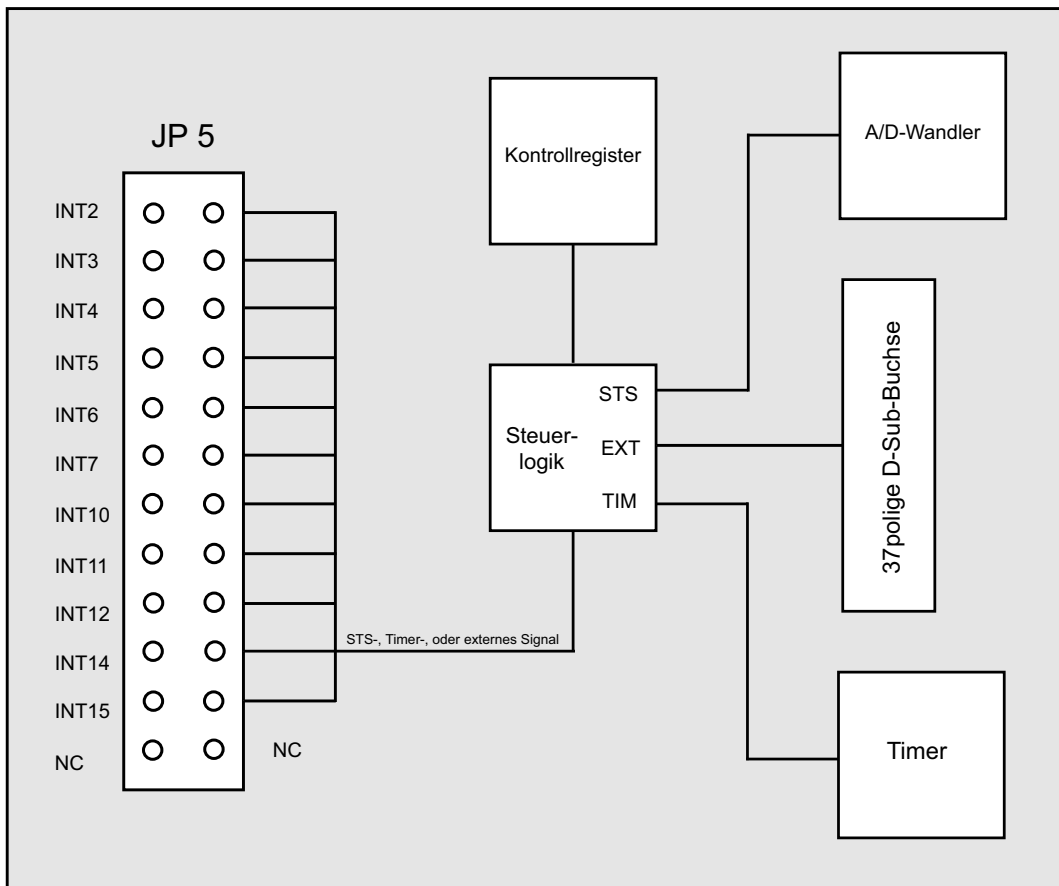
## 6.6 A/D-Betriebsart / Modusbyte

Modusbyte:

Das Modusbyte dient zur Programmierung der Art der Wandlungsauslösung (softwaremäßig, Timer-Auslösung bzw. durch externes Signal), der Wandlungsauflösung (8 bzw. 12 Bit), sowie der Interrupt-Quelle (STS-Signal vom A/D-Wandler, Timer-Ausgangssignal bzw. externes Signal) bei Interruptanwendungen.

D7	D6	D5	D4	D3	D2	D1	D0
X	X	F5	F4	I3	I2	T1	T0

X	X	F5	F4	I3	I2	T1	T0		
beliebig	Die Bits T0 und T1 legen die Art der Wandlungsauslösung fest								
							0	0	Auslösung durch Software
							0	1	Auslösung durch externes Signal
							1	0	Auslösung durch Timer
	Die Bits I2 und I3 dienen zur Einstellung bei Interrupt-Auslösung								
					0	0			kein Interrupt
					0	1			Interrupt durch Timer
					1	0			Interrupt durch STS-Signal
					1	1			Interrupt durch externes Signal
	Bit F4 muss bei softwaremäßiger Wandlungsauslösung (sowohl bei 12Bit-Wandlung als auch bei 8Bit-Wandlung) = 0 gesetzt werden. F5 ist in diesem Fall beliebig. Bei Wandlungsauslösung durch den Timer sowie bei Auslösung durch ein externes Signal ist Bit F4 = 1 zu setzen. Bit F5 legt dann die Auflösung der Wandlung fest.								
			X	0				Auslösung durch Software 12Bit und 8Bit	
			0	1				Auslösung durch Timer od. externes Signal Auflösung 12Bit	
			1	1				Auslösung durch Timer od. externes Signal Auflösung 8Bit	



## 6.7 Abgleich - A/D-Wandler und PGA

Die ADIODA-12 ist standardmäßig auf den bipolaren Eingangsspannungsbereich +/-10V eingestellt und abgeglichen. Bei Änderung der Grundeinstellung kann ein erneuter Abgleich des A/D-Systems notwendig sein. Aufgrund der Langzeitdriftdaten der Analog-Bauelemente und der Temperaturdrift ist darüberhinaus ein Abgleich der ADIODA-12 unter Betriebsbedingungen zu empfehlen.

Den Abgleich des A/D-Systems sollten Sie mit dem Abgleichprogramm ADA\_ABGL.EXE durchführen oder wie folgt vorgehen:

### 1. Abgleich des PGA

1. Je nach Einstellung der ADIODA-12 an Jumperblock JP1 Jumper 5-6 bzw. 7-8 ziehen.
2. Den momentan selektierten Eingangs-Kanal (Default-Kanal: Nr. 1) mit AGND verbinden.
3. PGA-Verstärkung  $v = 16$  einstellen
4. Spannung an Pin 8 des Jumperblockes JP1 abgreifen.
5. PGA-Nullpunktoffset mit dem Trimm-Potentiometer VR6 abgleichen (UPIN8 = 0.00000V)

## 2. Abgleich des A/D-Wandlers

1. PGA-Verstärkung  $v = 1$  setzen
2. Je nach gewünschtem Eingangsspannungsbereich Jumper JP1/5-6 bzw. 7-8 (Spannungsbereich) und Jumper JP1/1-2 bzw. 3-4 (bipolare/unipolare Betriebsart) setzen.
3. Je nach Betriebsart **Nullpunktoffset** des A/D-Wandlers mit Trimmer VR2 bzw. VR3 abgleichen.

Hierzu die unten angegebenen Spannungen an den momentan selektierten Eingangskanal legen und wiederholt den 12-Bit-Wandlungswert lesen und abgleichen, bis der jeweilige Sollwert erreicht ist.

### unipolare Betriebsart (0..10V):

Bei Anlegen einer Spannung von  $+1/2$  LSB (=1.22 mV) soll der digitale Wert zwischen 0000 0000 0000 und 0000 0000 0001 schwanken. -> Abgleichtrimmer: VR3

### bipolare Betriebsart:

Bei Anlegen einer Spannung von  $-V_{fsr} + 1/2$  LSB  
 (= -9.9976V bei +/-10V)  
 (= -4.9988V bei +/-5V)

soll der digitale Wert zwischen 0000 0000 0000 und 0000 0000 0001 schwanken. -> Abgleichtrimmer: VR2

4. Abgleich des Endbereiches des A/D-Wandlers:

Mit Spindeltrimmer VR1 auf den vom Eingangsspannungsbereich abhängigen Sollwert abgleichen.

unipolare Betriebsart (0..10V):

Bei Anlegen einer Spannung von  $V_{fsr} - 1 \frac{1}{2} \text{ LSB}$   
(=9.9963V)

soll der digitale Wert zwischen 1111 1111 1110 und 1111 1111 1111 schwanken.

bipolare Betriebsart:

Bei Anlegen einer Spannung von  $f_{sr} - 1 \frac{1}{2} \text{ LSB}$   
(=+9.9927V bei +/-10V)  
(=+4.9963V bei +/-5V)

soll der digitale Wert zwischen 1111 1111 1110 und 1111 1111 1111 schwanken.



## 7. D/A-Ausgang 12 Bit

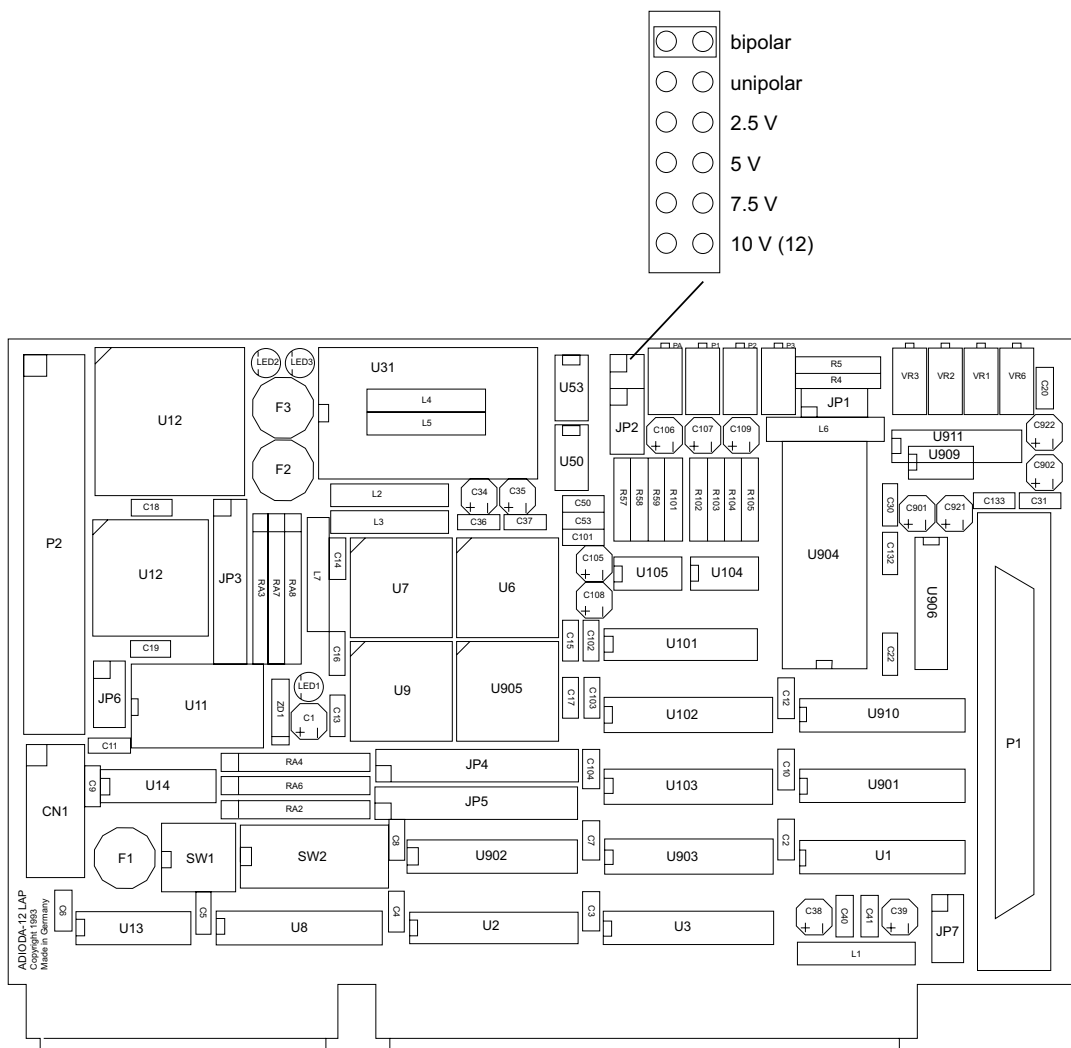
Die ADIODA-12<sub>LAP</sub> verfügt über einen analogen Ausgangskanal mit einer Auflösung von 12Bit, der durch einen multiplizierenden 12Bit Digital-/Analogwandler erreicht wird. Mittels Jumper ist die Auswahl einer Hauptreferenzspannung ( $V_{Ref0}$ ) aus vier verschiedenen, intern erzeugten Spannungen möglich. Aus dieser gewählten  $V_{Ref0}$  wird die Referenzspannung  $V_{RefA}$  gewonnen, die werksmäßig auf einen festen Spannungswert abgeglichen, aber auch variabel von  $\sim 0,25 \cdot V_{Ref0}$  bis  $\sim V_{Ref0}$  einstellbar ist. Durch die unterschiedlichen Referenzspannungen lassen sich verschiedene Ausgangsspannungen, unipolar von 0-10V und bipolar bis zu einem Endbereich von +/-10V, erzeugen. Die unipolare oder bipolare Betriebsart wird mittels Jumper eingestellt.

## 7.1 Auswahl der Hauptreferenzspannung

Durch Setzen eines Jumpers am Jumperblock JP2 können Sie die für Sie geeignete Hauptreferenzspannung  $V_{\text{Ref0}}$  auswählen. Standardmäßig wird vor der Auslieferung an JP2, Jumper 6 für  $V_{\text{Ref0}} = 10\text{V}$  gesetzt. Die Werte der Spannungen für  $V_{\text{Ref0}}$  entnehmen Sie bitte der nun folgenden Abbildung.

1	<input type="radio"/>	<input type="radio"/>	2	bipolar
3	<input type="radio"/>	<input type="radio"/>	4	unipolar
5	<input type="radio"/>	<input type="radio"/>	6	2,5 V
7	<input type="radio"/>	<input type="radio"/>	8	5 V
9	<input type="radio"/>	<input type="radio"/>	10	7,5 V
11	<input type="radio"/>	<input type="radio"/>	12	10 V

Die Pinbelegung des Jumperblockes JP2, zum Setzen des Jumpers für die Auswahl der  $V_{Ref0}$ , entnehmen Sie bitte der nun folgenden Abbildung:



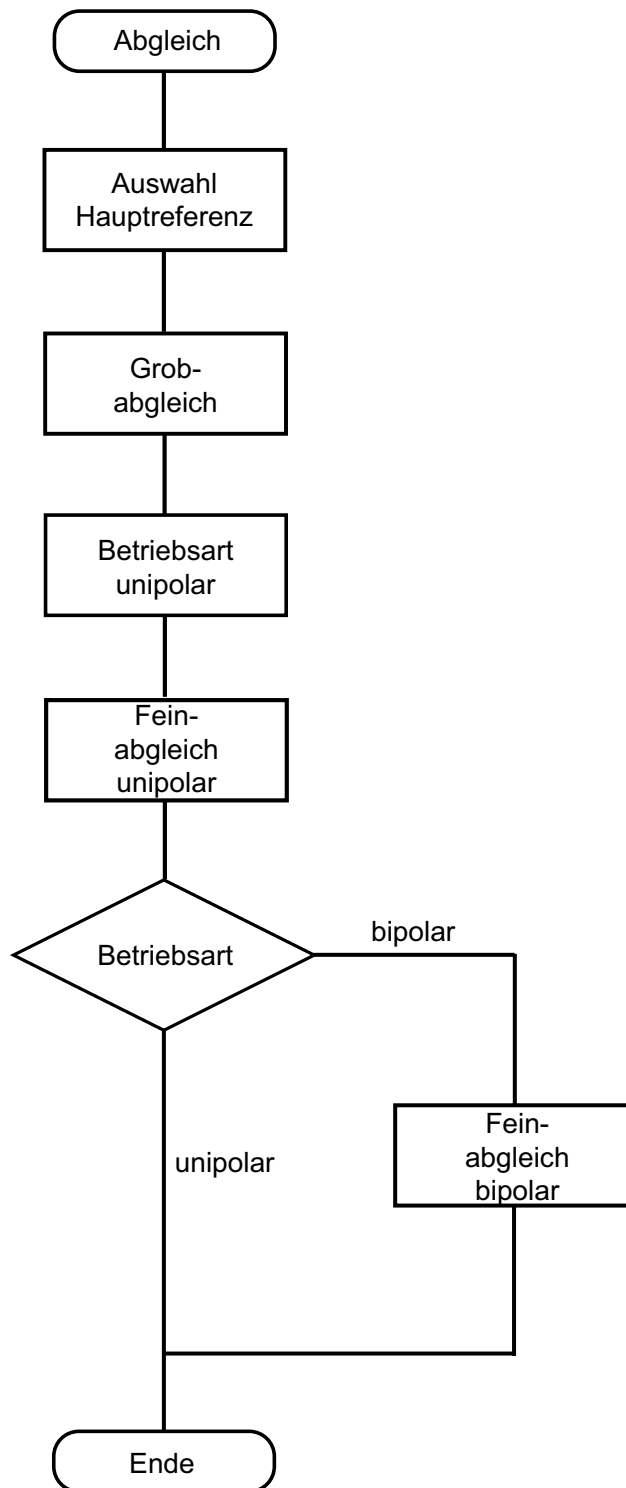
Aus der Hauptreferenzspannung  $V_{Ref0}$  ist für  $V_{RefA}$  der Spannungsbereich  $0,25 \cdot V_{Ref0} < V_{RefA} < V_{Ref0}$  einstellbar. Werksmäßig ist  $V_{RefA}$  für den Default-Bereich 10V auf  $V_{RefA} \sim 10V$  abgeglichen. Die Feineinstellung wird über P<sub>1</sub> vorgenommen. Der Nullpunktgleich wird wie in Kapitel 7.2 beschrieben, durchgeführt.

## 7.2 Abgleich des D/A-Kanals

Die ADIODA-12<sub>LAP</sub> wird vor der Auslieferung für den Default-Bereich bipolar +/-10V, fein abgeglichen. Bei Verwendung eines Ausgangsspannungsbereiches, der von der Standardeinstellung abweicht, oder bei Umjumperung auf unipolare Betriebsart, ist ein Feinabgleich durchzuführen. Zum Abgleich dient Ihnen das beiliegende Abgleichprogramm.

Der Trimmer P<sub>A</sub> ist zum Grobabgleich bestimmt. Mit dem Trimmer P<sub>1</sub> ist der Feinabgleich des Endbereiches möglich. Der Trimmer P<sub>2</sub> dient zum Nullpunktabgleich bei bipolarer Betriebsart, P<sub>3</sub> zum Nullpunktabgleich für den unipolaren Bereich.

Um das gewünschte Ergebnis zu erhalten, ist dabei nun folgende Abgleichvorschrift einzuhalten:

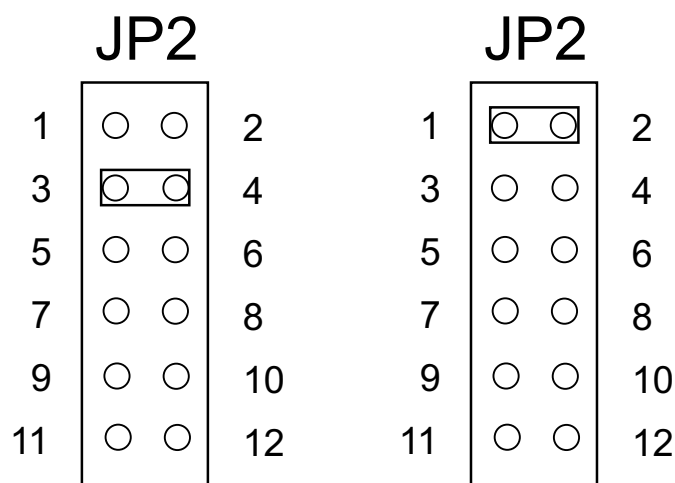


Bei Verwendung von der Defaulteinstellung abweichenden Referenzspannungen ist wie folgt vorzugehen:

1. Zum Abgleich verwenden Sie das auf dem beiliegenden Datenträger abgelegte Abgleichprogramm. Starten Sie jetzt durch Eingabe von <ADA\_ABGL> das Abgleichprogramm.
2. Unter Menüpunkt <1> des Abgleichprogramms geben Sie die Basisadresse, die durch SW2 auf der Platine eingestellt ist, an.
3. Nach Eingabe von <2>, den durch JP2 gewählten Endbereich einstellen.
4. Durchschalten des Signals auf die 37polige D-Sub-Buchse durch Eingabe von <1> unter Punkt <4> (Kanalauswahl).
5. Grobeinstellung  $V_{OUT}$  mittels Spindeltrimmer  $P_A$  und Abgleichs-Software Punkt <5>.
6. Feinabgleich des DA-Kanals unipolar

Die unipolare Betriebsart wird am Jumperblock JP2 mittels einer Jumperbrücke über die Pins 1 und 2 eingestellt. Zur Einstellung der unipolaren Betriebsart lösen Sie am Jumperblock P2 die Verbindung der Pins 1-2 durch Ziehen der Jumper und Setzen diese auf die Pins 3-4. Anschließend ist mit P3 und P1 der Feinabgleich durchzuführen. Die Spannung ist an Pin 9 des D-Sub-Steckers P1 abzugreifen. Dabei ist jeweils der in der Software angegebene Sollwert einzustellen.

## 7. Auswahl der Betriebsart und Feinabgleich



Die zwei unterschiedlichen Betriebsarten werden, wie oben in den Abbildungen dargestellt, durch Setzen des entsprechenden Jumpers am Jumperblock JP2 eingestellt. Bei Wahl der unipolaren Betriebsart (Jumperbrücke Pin 3-4) ist der Abgleich abgeschlossen. Für die bipolare Betriebsart verbinden Sie mittels Jumper die Pins 1-2, ein Feinabgleich ist erforderlich. Der bipolare Feinabgleich wird mit Eingabe von <6> in der Abgleichsoftware durchgeführt. Mit Trimmer  $P_2$  erfolgt der Abgleich des Nullpunktoffsets, der positive und negative Endbereich wird mit  $P_1$  eingestellt. Das Signal ist wiederum an Pin 9 der D-Sub-Buchse P1 abgreifbar.

### 7.3 Programmierung der D/A-Kanäle

Die D/A-Wandler der ADIODA-12<sub>LAP</sub> wandeln die an ihren digitalen Eingängen anliegende 12-Bit-Information nach folgenden Beziehungen in einen analogen Ausgangsspannungswert:

unipolarer Betrieb:

$$V_{OUT} = 0V + (n/4096) \cdot V_{fsr} \qquad 1 \text{ LSB} = V_{fsr}/4096$$

n ist der anliegende 12-Bit-Wert  
 (0000 0000 0000 .. n .. 1111 1111 1111 binär  
                   0 .. n .. 4095                    dezimal)

Digitale Eingänge	Dezimalwert	V <sub>OUT</sub> (Berechnung)	V <sub>OUT</sub> (V <sub>fsr</sub> = 10 V)
1111 1111 1111	4095	V <sub>fsr</sub> *4095/4096	9.9976 V
1000 0000 0000	2048	V <sub>fsr</sub> *2048/4096	5.0000 V
0000 0000 0001	1	V <sub>fsr</sub> *1/4096 (1LSB)	0.00244 V = 2,44 mV
0000 0000 0000	0	0 V	0.0000 V

Der maximale Spannungswert V<sub>fsr</sub> ergibt sich durch die am Referenzspannungseingang des D/A-Wandlers anliegende Spannung (V<sub>fsr</sub> = -V<sub>ref</sub>).



bipolarer Betrieb:

$$V_{OUT} = -V_{fsr} + (n/2048) \cdot V_{fsr}$$

$$1 \text{ LSB} = V_{fsr}/2048$$

n ist der anliegende 12-Bit-Wert

(0000 0000 0000 .. n .. 1111 1111 1111 binär

0 .. n .. 4095

dezimal)

Digitale Eingänge	Dezimalwert	V <sub>OUT</sub> (Berechnung)	V <sub>OUT</sub> (V <sub>fsr</sub> = 10 V)
1111 1111 1111	4095	- V <sub>fsr</sub> + V <sub>fsr</sub> *4095/2048	+ 9.9951 V
1000 0000 0000	2048	- V <sub>fsr</sub> + V <sub>fsr</sub> *2048/2048	5.0000 V
0000 0000 0001	1	- V <sub>fsr</sub> + V <sub>fsr</sub> *1/4096	- 9.9951 V
0000 0000 0000	0	- V <sub>fsr</sub>	- 10.0000 V

Das Programmieren der D/A-Ausgangskanäle mit dem 12-Bit-Digitalwert erfolgt durch das Schreiben von einem LOW-Byte und einem HIGH-Halbbyte in die entsprechenden Portadressen des jeweiligen D/A-Kanales.

Beispiel:

In der bipolaren Betriebsart (+/-10V) soll ein Spannungswert von +2.5 Volt am D/A-Kanal ausgegeben werden:

$$n = \frac{V_{OUT} + V_{fsr}}{V_{fsr}} \cdot 2048 = 2560 \text{ (dezimal)} = A00 \text{ (hexadezimal)}$$

$$= 1010 \ 0000 \ 0000 \text{ (binär)}$$

port [BASISADRESSE +C]: = \$00; (Low-Byte)

port [BASISADRESSE +D]: = \$0A; (High-Halbbyte)

## **8. TTL - Ein-/Ausgabe (8255)**

Zur digitalen Ein-/Ausgabe ist auf der ADIODA-12<sub>LAP</sub> ein Schnittstellen-Baustein vom Typ 8255 vorhanden.

Der PIO-Baustein 8255 ist ein programmierbarer Mehrzweck-Ein-/Ausgabe-Baustein. Er hat 24 Ein-/Ausgabeanschlüsse, die in zwei Gruppen von je zwölf Anschlüssen getrennt programmierbar sind und im wesentlichen in drei Betriebsarten benutzt werden können.

In der ersten Betriebsart (Betriebsart 0) kann jede Gruppe von zwölf Ein-/Ausgabeanschlüssen in Abschnitten von acht bzw. vier Anschlüssen als Eingang oder Ausgang programmiert werden.

In der zweiten Betriebsart (Betriebsart 1) können acht Leitungen jeder Gruppe als Eingang oder Ausgang programmiert werden. Von den verbleibenden vier Anschlüssen werden drei für den Austausch von Quittungen und für Unterbrechungs-Steuersignale verwendet.

Die dritte Betriebsart (Betriebsart 2) kann als Zweiweg-Bus-Betriebsart bezeichnet werden. Hier werden acht Anschlüsse für einen Zweiweg-Bus eingesetzt.

Die fünf weiteren Anschlüsse, von denen einer zur anderen Gruppe gehört, werden in diesem Fall für den Quittungsaustausch benutzt. Außerdem ist das direkte Setzen und Rücksetzen einzelner Bits möglich.

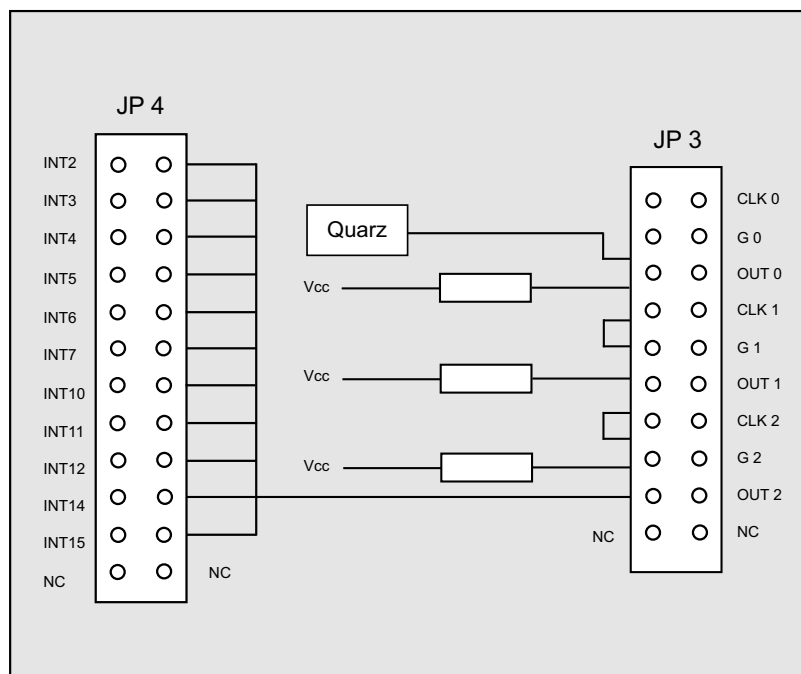
## 9. Timer/Zähler (8254)

Die Interfacekarte ADIODA-12<sub>LAP</sub> dient häufig als Schnittstelle zu elektronischen Geräten, wie Druckköpfe oder Schrittmotoren. Alle derartigen Geräte weisen spezifische Verzögerungszeiten auf, die für den zuverlässigen Betrieb genau beachtet werden müssen. Die Anwender-Software kann diese Zeitverzögerungen durch Zeitschleifen berücksichtigen, was hohen Programmieraufwand fordert.

Der programmierbare Zeitgeber 8254 ist zur Hardware-Lösung solcher Zeitgeberprobleme mit nur einem Baustein bestimmt. Er umfasst eine Gruppe von drei von einander unabhängigen 16-Bit-Zählern, die gemeinsam als periphere E-/A-Kanäle betrieben werden. Zur Erfüllung seiner Anforderungen setzt der Programmierer, statt der in der System-Software vorgesehenen Zeitschleifen, den 8254 ein. Er bestimmt die Betriebsart und die Voreinstellung eines der drei Zähler des 8254 und auf einen Befehl hin beginnt der 8254 mit der Auszählung der Zeitverzögerungen.

Zudem kann der 8254 auch andere Funktionen übernehmen, die nicht den Charakter einer Zeitverzögerung aufweisen, wie z. B. Ereigniszähler und binärer Zählratenmultiplizierer.

Wie in Kapitel 4 ersichtlich, können die Eingänge (Takt, Gate) und Ausgänge der drei Zähler des Timerbausteins der ADIODA-12 extern über Pfostenstecker P2 verwendet werden. Hierbei ist zu berücksichtigen, dass der Timer intern über den Jumperblock JP3 wie folgt geschaltet ist:



- > Der Takteingang von Zähler 0 kann über JP3/1-2 mit dem Quarztakt (4 MHz) verbunden werden.
- > Die Gate-Eingänge G0, G1 und G2 können über Strombegrenzungswiderstände an Vcc gelegt (JP3/3-4, JP3/9-10 und JP3/15-16) werden.
- > Zur Zusammenschaltung der Zähler dienen die Jumper JP3/5-6 und JP3/7-8 bzw. JP3/11-12 und JP3/13-14.
- > Das Ausgangssignal von Zähler 2 kann über JP3/17-18 und JP4 mit einer IRQ-Leitung des PC's verbunden werden.

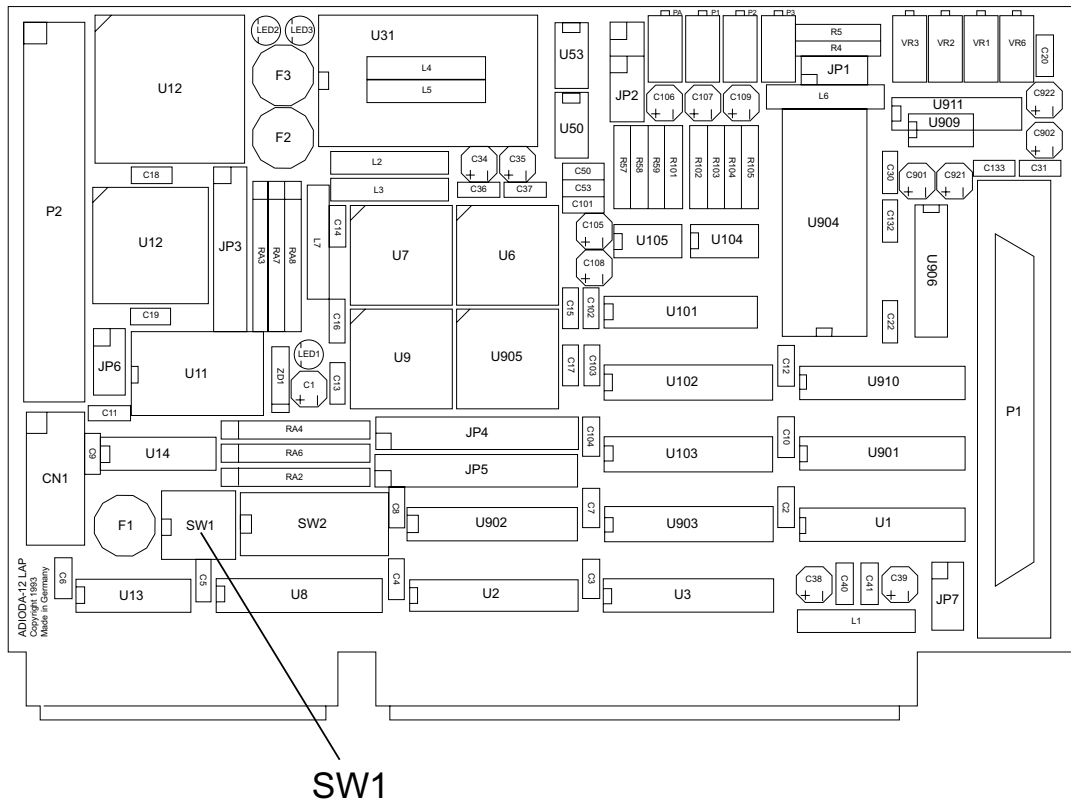
Werksmäßig sind die Jumper JP3/1-2 bis einschließlich JP3/15-16 gesetzt!

Bitte beachten Sie, dass bei Speisung des Timers mit externen Signalen die Jumper je nach Aufgabenstellung gesetzt sein müssen.

Falls der Timerbaustein der ADIODA-12 zur **Generierung von zeitgesteuerten Interruptauslösungen** verwendet werden soll, sind die Jumper JP3/1-2 bis einschließlich JP3/17-18 zu setzen. Durch entsprechende Programmierung der Zähler kann dann das Signal zur Interruptauslösung (Ausgang OUT2 von Zähler 2) erzeugt werden. Die Auswahl der IRQ-Leitung, auf die die Interruptanforderung des Timers geleitet werden soll, erfolgt dann über **einen** Jumper an Jumperblock JP4.

Hinweise zur Interruptprogrammierung finden Sie in den Beispielprogrammen.

## 10. Waitstategenerator



Standardmäßig wird der I/O-Bus mit 8 MHz Taktfrequenz und zwei Waitstates betrieben. Manche Computer arbeiten jedoch mit höheren Taktraten. In den meisten Fällen können bei diesen Rechnern jedoch im Setup Waitstates eingestellt werden. Jedoch haben diese Waitstates den Nachteil, dass sie bei jeglichen Zugriffen im Portbereich den Computer zurückbremsen. Bei manchen Zusatzkarten ist dies nötig, bei anderen nicht. Aus diesem Grund hat die Interface-Karte ADIODA-12<sub>LAP</sub> einen eigenen Waitstategenerator, der den Computer nur bei Zugriffen auf die Adressen der ADIODA-12<sub>LAP</sub> bremst.

Dies ist jedoch nur bei sehr schnellen Rechnern nötig, bei denen der I/O-Bereich nicht asynchron mit 8 MHz betrieben wird, wie es bei den meisten 386 und 486er der Fall ist.

Sie können zwischen 4, 8 und 16 Waitstates wählen. Entnehmen Sie bitte die passende Einstellung für den Dip-Schalterblock SW1 der folgenden Tabelle.

<b>Waitstates</b>	<b>S1</b>	<b>S2</b>	<b>S3</b>	<b>S4</b>
keine	OFF	OFF	OFF	OFF
4	ON	OFF	OFF	OFF
8	OFF	ON	OFF	OFF
16	ON	ON	OFF	OFF
keine	OFF	OFF	ON	OFF

## 11. Programmierung

### 11.1 Hinweise zur Programmierung der ADIODA-12<sub>LAP</sub>

Um Ihnen das Programmieren der **wasco**® Interface Karte ADIODA-12<sub>LAP</sub> zu erleichtern, haben wir für Sie Beispielprogramme in GW-Basic, Power-Basic, Quick-Basic, Turbo-C und Turbo-Pascal erstellt. Die Programme sind mit Erklärungen versehen, so dass Sie das Ansprechen der Interfacebausteine nachvollziehen können. Die Beispielprogramme finden Sie in den entsprechenden Unterdirectories auf dem beiliegenden Datenträger.

#### Directory:

TP	-Programme in Turbo-Pascal
TC	-Programme in Turbo-C
GWBasic	-Programme in GW-Basic
PBasic	-Programme in Power-Basic
QBasic	-Programme in Quick-Basic
COM	-Speicherres. COM-File
UTIL	-Abgleichprogramm

Außerdem ist die aktuelle Software dieser Karte auch im Internet unter <http://www.wasco.de> zum Download verfügbar.

#### **Vorsicht:**

Um unnötige Rechnerabstürze zu vermeiden, sollten Sie die Erklärungen zu den jeweiligen Programmen vor dem Programmstart aufmerksam durchlesen. Dies gilt insbesondere für die Interruptroutinen und die COM-Treiber.



## 11.2 Zuordnung der Portadressen

Adresse			Belegung
Dipschalterblock	Basisadresse	Offset	
SW2	BA	+ 0	A/D - Kontrollregister 1
SW2	BA	+ 1	A/D - Kontrollregister 2
SW2	BA	+ 2	A/D - Kontrollregister 3
SW2	BA	+ 3	A/D - Kontrollregister 4
SW2	BA	+ 4	PIO-PortA - Schreib-Lesebuffer
SW2	BA	+ 5	PIO-PortB - Schreib-Lesebuffer
SW2	BA	+ 6	PIO-PortC - Schreib-Lesebuffer
SW2	BA	+ 7	PIO-Controllregister
SW2	BA	+ 8	Zähler0 - Schreib-Lesebuffer
SW2	BA	+ 9	Zähler1 - Schreib-Lesebuffer
SW2	BA	+ A	Zähler2 - Schreib-Lesebuffer
SW2	BA	+ B	Timer - Controll-Register
SW2	BA	+ C	D/A1 - Low Byte
SW2	BA	+ D	D/A1 - High-Halbbyte
SW2	BA	+ E	A/D - Kontrollregister 5

**Bei Default-Basisadresse 220h (SW2) ergibt sich z.B. folgender Adressbereich:**

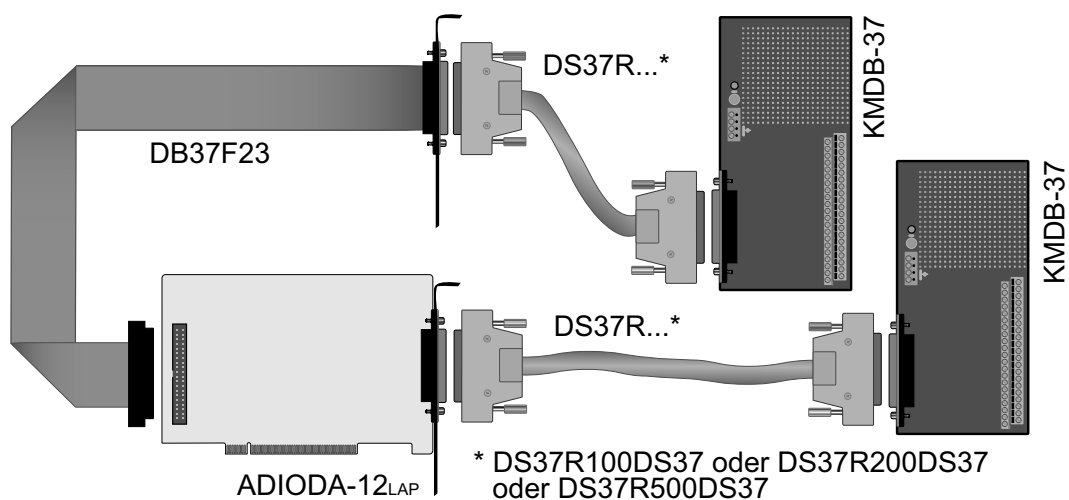
220h	A/D Kontrollregister 1	
221h	A/D Kontrollregister 2	
222h	A/D Kontrollregister 3	
223h	A/D Kontrollregister 4	
224h	PIO_PortA - Schreib-Lesebuffer	[8255-U12]
225h	PIO_PortB - Schreib-Lesebuffer	[8255-U12]
226h	PIO_PortC - Schreib-Lesebuffer	[8255-U12]
227h	PIO- Controll-Register	[8255-U12]
228h	Zähler0 - Schreib-Lesebuffer	[8254-U10]
229h	Zähler1 - Schreib-Lesebuffer	[8254-U10]
22Ah	Zähler2 - Schreib-Lesebuffer	[8254-U10]
22Bh	Timer - Controll-Register	[8254-U10]
22Ch	DA1_L - Low-Byte	[AD7541-U101]
22Dh	DA1_H - High-Halbbyte	[AD7541-U101]
22Eh	A/D Kontrollregister 5	

## 12. Zubehör

### 12.1 Passendes **wasco®**-Zubehör

Anschlusssteile	EDV-Nr.
DB37F23 Steckerverlegungsset	A-1975
DS37R100 Anschlussleitung	A-199802
DS37R100DS37 Verbindungsleitung	A-202200
DS37R200DS37 Verbindungsleitung	A-202400
DS37R500DS37 Verbindungsleitung	A-202800
KMDB-37 Klemm-Modul	A-2046

### 12.2 Anschlusstechnik (Anwendungsbeispiel)



### 12.3 Einzelkomponenten zur Eigenkonfektionierung

<b>Einzelkomponenten</b>	<b>EDV-Nr.</b>
DSS37L D-Sub-Stecker 37 pol. für Lötanschluss	A-5506
DSH37L D-Sub-Haube 37 pol. Stecker (Lötanschluss)	A-5586
DSS37F D-Sub-Stecker 37 pol. für Flachbandleitung	A-5526
DSB37F D-Sub-Buchse 37 pol. für Flachbandleitung	A-5566
DA37I Slotblech mit Ausschnitt für 37 pol. Stecker/Buchse	A-5754
FBL37 Flachbandleitung 37 pol.	A-5718

## 13. Fehlersuche

Im folgenden finden Sie eine kurze Zusammenstellung der häufigsten, bekannten Fehlerursachen, die während der Inbetriebnahme oder während der Arbeit mit der ADIODA-12<sub>LAP</sub> auftauchen können.

Prüfen Sie bitte zunächst folgende Punkte, bevor Sie mit Ihrem Händler Kontakt aufnehmen, denn wir hoffen, dass sich damit bereits der größte Teil Ihrer Probleme lösen lässt.

1. Sitzt die ADIODA-12<sub>LAP</sub> richtig in der Steckverbindung?
2. Ist die Basisadresse der ADIODA-12<sub>LAP</sub> richtig eingestellt?
3. Wurden die Adressen in der Software an die Basisadresse der ADIODA-12<sub>LAP</sub> angepasst?
4. Liegen andere Interfacekarten auf dem gleichen Adressbereich?
5. Hat die Miniatorsicherung (F1) der ADIODA-12<sub>LAP</sub> angesprochen?
6. Sind alle Kabelverbindungen in Ordnung?
7. Wurde die neueste Treiberversion des **wasco**<sup>®</sup> Treibers installiert?  
Updates finden Sie unter: <http://www.messcomp.com>  
<http://www.wasco.de>

## 14. Technische Daten

### A/D-Eingänge

Kanäle:	8 Eingänge single-ended
Auflösung:	8 Bit oder 12 Bit per Software einstellbar
Eingangsspannungsbereiche:	
bipolar:	+/-5 V, +/-10 V
unipolar:	0...10 V
	per Jumper wählbar
Eingangsimpedanz:	> 1 M $\Omega$
A/D-Wandler:	ADS574 mit Sample & Hold
Wandlungszeit:	max. 25 $\mu$ s
Genauigkeit:	+/- 1 LSB
PGA:	AD526
Verstärkungsfaktoren:	1, 2, 4, 8, 16 per Software wählbar
Multiplexer:	MAX354CPE
Summenabtastrate:	max. 25 kS/s
Wandlungsauslösung:	per Software, Timer oder externes Signal
Datentransfer:	Pollingbetrieb, interruptgesteuert

### D/A-Ausgänge

Kanäle:	1 Ausgang
Auflösung:	12 Bit
D/A-Wandler:	1 * DAC7541
Linearität:	+/-1 LSB
Ausgangsspannungsbereiche:	
unipolar:	2.5 V, 5 V, 7.5 V, 10 V
bipolar:	+/-2.5 V, +/-5 V, +/-7.5 V, +/-10 V
Ausgangsstrom:	max. +/-5 mA
Einschwingzeit:	max. 70 $\mu$ s FSR

### Referenzspannung

Referenzspannungsquelle:	AD584
--------------------------	-------

### Digitale Ein/Ausgänge TTL

Bausteine:	8255 oder 71055
Kanäle:	24, TTL-kompatibel
Port A und B in 8-Bit-Gruppen, Port C in einer 8-Bit-Gruppe oder in zwei 4-Bit-Gruppen als Ein- oder Ausgänge programmierbar	

**Timer**

Baustein 8254 oder 71054

3 \* 16 Bit Abwärtszähler

Zählfrequenz: max. 8 MHz

Zeitabhängige Interruptauslösungen

Takt vom Quarzoszillator

**Quarzoszillator**

4 MHz

**Waitstategenerator**

Waitstate 4, 8, 16 über Dip-Schalter einstellbar

**Anschlussstecker**

1 \* 37polige D-Sub-Buchse

1 \* 40poliger Pfostenstecker

**Sicherung**

+ 5 V 1 A Miniatorsicherung F1

**Stromverbrauch**

+ 5 V typ. 700 mA

**Sonstige technische Daten**

Abmessungen: 162 mm x 100 mm (l x h)

Platinenaufbau: 4lagige Multilayer-Platine

DC/DC-Wandler

Sicherung für Spannungsversorgung

LED zur Spannungskontrolle

Alle IC-Fassungen mit vergoldeten Kontakten

## 15. Produkthaftungsgesetz

### Hinweise zur Produkthaftung

Das Produkthaftungsgesetz (ProdHaftG) regelt die Haftung des Herstellers für Schäden, die durch Fehler eines Produktes verursacht werden.

Die Verpflichtung zu Schadenersatz kann schon gegeben sein, wenn ein Produkt aufgrund der Form der Darbietung bei einem nichtgewerblichen Endverbraucher eine tatsächlich nicht vorhandene Vorstellung über die Sicherheit des Produktes erweckt, aber auch wenn damit zu rechnen ist, dass der Endverbraucher nicht die erforderlichen Vorschriften über die Sicherheit beachtet, die beim Umgang mit diesem Produkt einzuhalten wären.

Es muss daher stets nachweisbar sein, dass der nichtgewerbliche Endverbraucher mit den Sicherheitsregeln vertraut gemacht wurde.

Bitte weisen Sie daher im Interesse der Sicherheit Ihre nichtgewerblichen Abnehmer stets auf Folgendes hin:

### Sicherheitsvorschriften

Beim Umgang mit Produkten, die mit elektrischer Spannung in Berührung kommen, müssen die gültigen VDE-Vorschriften beachtet werden.

Besonders sei auf folgende Vorschriften hingewiesen:

VDE0100; VDE0550/0551; VDE0700; VDE0711; VDE0860.

Sie erhalten VDE-Vorschriften beim vde-Verlag GmbH, Bismarckstraße 33, 10625 Berlin.



- \* Vor Öffnen eines Gerätes den Netzstecker ziehen oder sicherstellen, dass das Gerät stromlos ist.
- \* Bauteile, Baugruppen oder Geräte dürfen nur in Betrieb genommen werden, wenn sie vorher in ein berührungssicheres Gehäuse eingebaut wurden. Während des Einbaus müssen sie stromlos sein.
- \* Werkzeuge dürfen an Geräten, Bauteilen oder Baugruppen nur benutzt werden, wenn sichergestellt ist, dass die Geräte von der Versorgungsspannung getrennt sind und elektrische Ladungen, die in im Gerät befindlichen Bauteilen gespeichert sind, vorher entladen wurden.
- \* Spannungsführende Kabel oder Leitungen, mit denen das Gerät, das Bauteil oder die Baugruppe verbunden sind, müssen stets auf Isolationsfehler oder Bruchstellen untersucht werden. Bei Feststellen eines Fehlers in der Zuleitung muss das Gerät unverzüglich aus dem Betrieb genommen werden, bis die defekte Leitung ausgewechselt worden ist.
- \* Bei Einsatz von Bauelementen oder Baugruppen muss stets auf die strikte Einhaltung der in der zugehörigen Beschreibung genannten Kenndaten für elektrische Größen hingewiesen werden.
- \* Wenn aus den vorgelegten Beschreibungen für den nichtgewerblichen Endverbraucher nicht eindeutig hervorgeht, welche elektrischen Kennwerte für ein Bauteil gelten, so muss stets ein Fachmann um Auskunft ersucht werden.

Im Übrigen unterliegt die Einhaltung von Bau und Sicherheitsvorschriften aller Art (VDE, TÜV, Berufsgenossenschaften usw.) dem Anwender/Käufer.

## 16. EG-Konformitätserklärung

Für das folgende Erzeugnis

**ADIODA-12<sub>LAP</sub>**  
**EDV-Nummer A-1034**

wird hiermit bestätigt, dass es den Anforderungen der betreffenden EG-Richtlinien entspricht. Bei Nichteinhaltung der im Handbuch angegebenen Vorschriften zum bestimmungsgemäßen Betrieb des Produktes verliert diese Erklärung Ihre Gültigkeit.

EN 55022 Klasse B  
IEC 801-2  
IEC 801-3  
IEC 801-4  
EN 50082-1  
EN 60555-2  
EN 60555-3

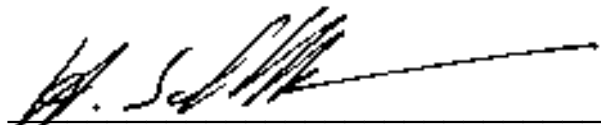
Diese Erklärung wird verantwortlich für den Hersteller

Messcomp Datentechnik GmbH  
Neudecker Str. 11  
83512 Wasserburg

abgegeben durch

Dipl.Ing.(FH) Hans Schnellhammer  
(Geschäftsführer)

Wasserburg, 06.06.2006



## Referenzsystem-Bestimmungsgemäßer Betrieb

Die PC-Erweiterungskarte ist ein nicht selbstständig betreibbares Gerät, dessen CE-Konformität nur bei gleichzeitiger Verwendung von zusätzlichen Computerkomponenten beurteilt werden kann.

Die Angaben zur CE-Konformität beziehen sich deshalb ausschließlich auf den bestimmungsgemäßen Einsatz der PC-Erweiterungskarte in folgendem Referenzsystem:

Schaltschrank:	Vero IMRAK 3400	804-530061C 802-563424J 802-561589J
19" Gehäuse:	Vero PC-Gehäuse	145-010108L
19" Gehäuse:	Zusatzelektronik	519-112111C
Motherboard:	passiv Vero	425-309911E
CPU-Board:	Advantech	PCA-6143P
Floppy-Controller:	auf CPU-Board	
Floppy:	TEAC	FD-235HF
Grafikkarte:	Advantech	PCA-6443
Schnittstellen:	ADIODA-12 <sub>LAP</sub>	A-1034